

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-023011

(43)Date of publication of application : 21.01.1997

(51)Int.Cl.

H01L 29/786
H01L 21/8238
H01L 27/092
H01L 29/78

(21)Application number : 07-169523

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 05.07.1995

(72)Inventor : SHIMAMOTO HIROMI
SHIBA TAKEO
UCHINO TAKASHI
ONISHI KAZUHIRO
KIYOTA YUKIHIRO
OHATA KENICHI

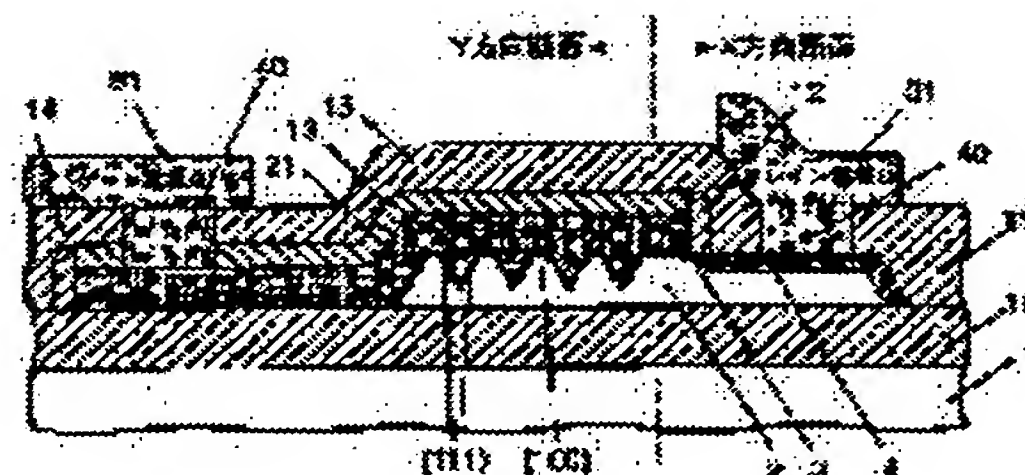
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a fine high-performance MOSFET by leading out a source leading-out electrode from one surface of a first silicon layer and a drain leading-out electrode from the other surface.

SOLUTION: A silicon layer 2 having a plurality of V-grooves in its cross section is formed on a silicon dioxide film 11 which is formed on the surface of a silicon substrate 1 as a first insulating film. A polycrystalline silicon gate 21 is brought into contact with parts of the horizontal surface and inclined surface of the silicon layer through a gate oxide film 12. In addition, a source leading-out electrode is led out from the horizontal and inclined surfaces on one side of the silicon layer 2 and a drain leading-out electrode is led out from the horizontal surface on the other side of the silicon layer 2 so that a channel current can flow in the direction of the grooves of the silicon layer 2.

Consequently, the effective gate width can be increased against the exclusively used gate width. Therefore, a fine high-performance MOSFET can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-23011

(43)公開日 平成9年(1997)1月21日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 8 C
	21/8238		27/08	3 2 1 C
	27/092		29/78	3 0 1 H
	29/78			3 0 1 V
				6 1 3 A
審査請求 未請求 請求項の数11 O L (全 13 頁)				

(21)出願番号	特願平7-169523	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)7月5日	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72)発明者	島本 裕巳 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
		(72)発明者	芝 健夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(74)代理人	弁理士 小川 勝男
		最終頁に続く	

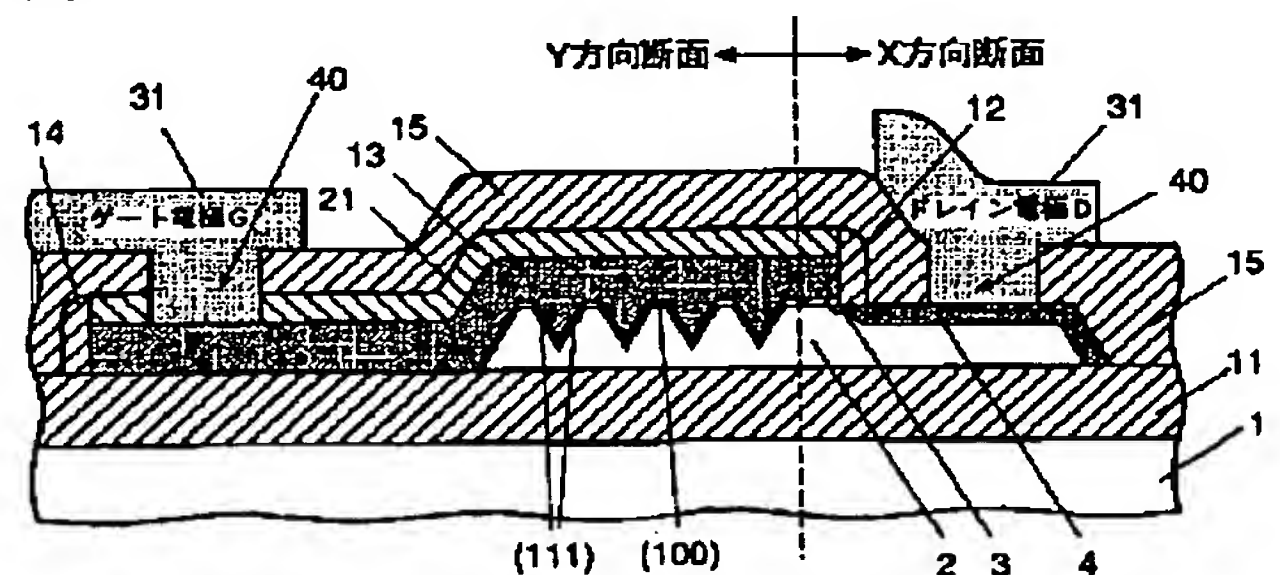
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】微細で高性能なMOSFETを提供する。

【構成】チャネル領域となる単結晶シリコン層2を、面異方性エッチング技術を用いて加工し、チャネル領域のゲート幅方向の断面がV字型の溝を有する構造とする。

図1



【特許請求の範囲】

【請求項 1】 支持基板上の第 1 の絶縁膜を介して配置した断面が複数の V 字型の溝を有する第 1 のシリコン層を有し、前記第 1 のシリコン層の支持基板と水平な表面と前記第 1 のシリコン層の前記支持基板に対し斜めの表面の各々の一部を連続して覆うと共に、前記第 1 のシリコン層とはゲート酸化膜を介して形成されたゲートと、前記第 1 のシリコン層の溝筋の方向をチャネル電流が流れる方向となる様に、前記第 1 のシリコン層の一方の表面から取り出されたソース引き出し電極と、他方の表面から取り出されたドレイン引き出し電極とから構成されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 のシリコン層の前記支持基板と水平な表面の結晶面方位が (100) 面となり、前記第 1 のシリコン層の前記支持基板に対し斜めの表面の結晶面方位が (111) 面である請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のシリコン層の断面形状が分離された台形であり、前記第 1 のシリコン層の断面方向の底面寸法が実効ゲート長の $1/2$ より薄く形成されている請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 同一の SOI 基板に形成されている NMOS と PMOS において、前記 NMOS のソースおよび／またはドレインが、前記 PMOS のソースおよび／またはドレインと共通のコンタクト孔によって電極に引き出されている請求項 1、2 または 3 に記載の半導体装置。

【請求項 5】 同一基板に形成されている NMOS と PMOS において、前記 NMOS のゲート酸化膜を介してゲートと接するシリコン層の主表面の結晶面方位が (100) 面であることと、前記 PMOS のゲート酸化膜を介してゲートと接するシリコン層の主表面の結晶面方位が (111) 面である請求項 1、2、3 または 4 に記載の半導体装置。

【請求項 6】 半導体基板に設けられた基板と反対導電型の第 1 の拡散層を有し、前記第 1 の拡散層表面には断面が V 字型の複数の溝を有し、前記第 1 の拡散層の水平な表面と溝内の斜め表面の一部を連続して覆うと共に、前記第 1 の拡散層とはゲート酸化膜を介して接したゲートを有し、前記第 1 の拡散層の表面の溝筋の方向をチャネル電流が流れる方向となる様に、前記第 1 の拡散層の一方の表面から取り出されたソース引き出し電極と、他方の表面から取り出されたドレイン引き出し電極とから構成されていることを特徴とする半導体装置。

【請求項 7】 前記第 1 の拡散層の表面の結晶面方位が (100) 面となり、前記第 1 の拡散層の表面の溝内の斜め表面の結晶面方位が (111) 面となる様に形成されている請求項 5 に記載の半導体装置。

【請求項 8】 同一基板に形成されている NMOS と PMOS において、前記 NMOS のゲート酸化膜を介してゲートと接する拡散層の主表面の結晶面方位が (100) 面であることと、前記 PMOS のゲート酸化膜を介してゲ

ートと接する拡散層の主表面の結晶面方位が (111) 面である請求項 6 又は請求項 7 に記載の半導体装置。

【請求項 9】 支持基板上に第 1 の絶縁膜、低不純物濃度の第 1 のシリコン層、第 2 の酸化膜を順次堆体した状態にする工程と、第 3 の酸化膜をエッチングマスクとして単結晶シリコン層を面異方性エッチングしチャネル領域を形成する工程と、前記単結晶シリコン層の表面にゲート酸化膜を形成する工程と、前記単結晶シリコン層を覆うように高濃度不純物の多結晶シリコン膜と酸化膜を順次を堆体する工程と、第 1 の多結晶シリコン膜と第 4 の酸化膜を所望形状にパターニングしてゲートを形成する工程と、前記第 1 の多結晶シリコン膜と酸化膜をマスクにしてソース・ドレインとなる第 1 の拡散層をイオン打ち込みにより形成する工程と、前記第 1 の多結晶シリコン膜と前記第 4 の酸化膜の側壁に第 5 の酸化膜を設ける工程と、第 1 の拡散層より拡散深さが大きい第 2 の拡散層を形成する工程と、第 6 の酸化膜を堆積した後に、これを所望形状にパターニングしてソース・ドレイン並びにゲート引き出し電極を形成する工程とから成ることを特徴とする半導体装置の製造方法。

【請求項 10】 支持基板上に第 1 の不純物層を形成する工程と、第 8 の酸化膜をエッチングマスクとして不純物層表面を面異方性エッチングしチャネル領域を形成する工程と、この不純物層表面にゲート酸化膜を形成後にこれを覆うように高濃度不純物の第 2 の多結晶シリコン膜と第 9 の酸化膜を順次を堆体する工程と、前記多結晶シリコン膜と酸化膜を所望形状にパターニングしてゲートを形成する工程と、前記多結晶シリコン膜と酸化膜をマスクにしてソース・ドレインに用いる第 3 の拡散層をイオン打ち込みにより形成する工程と、第 2 の多結晶シリコン膜と第 9 の酸化膜の側壁に第 10 の酸化膜を設ける工程と、前記第 3 の拡散層より拡散深さが大きい第 4 の拡散層を形成する工程と、第 11 の酸化膜を堆積した後に、これを所望形状にパターニングしてソース・ドレイン並びにゲート引き出し電極を形成する工程とから成ることを特徴とする半導体装置の製造方法。

【請求項 11】 前記第 1 のシリコン層又は前記第 1 の拡散層を面異方性エッチングした後に、単結晶シリコン層の表面を酸化し、この酸化膜を除去する工程を付加して成る請求項 9 または請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 従来の MOS 型電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor: MOSFET) に関する技術については、例えば、ヴィエル エス アイ テクノロジー、第 2 版 7 巻、著

者：エス エム ツェー、第 483 頁から 487 頁(VLS I Technology, Second Edition, Edited by S.M. Sze, pp 483-487) に開示されており、図 7 に示した断面構造と図 8 に示した平面構造を有している。ここで図 7 において、X 方向断面、Y 方向断面は、図 8 中に X 方向線、Y 方向線のそれぞれで示した断面図である。尚以下の説明において、図 7 以外の図においても、X 方向断面、Y 方向断面はそれぞれこれと同じ位置関係及び方向で切断した場合の断面構造を示す。但し、図 8 の平面図は、マスクパターンのレイアウト模式図として示してある。

【0003】図 7 に示した従来の MOSFET は、下記の方法によって製造されていた。初めに、周知のイオン打ち込み技術を用いて、チャネル並びにソース・ドレイン拡散層と反対導電型の不純物を注入し不純物層 5 を形成する。続いて、図示しない窒化膜をマスクに LOCOS 酸化を行い酸化膜 11 を形成する。その後、窒化膜を除去した部分をゲート酸化してゲート酸化膜 12 を形成した後、多結晶シリコンを堆積してパターンニングすることによりゲート 21 を形成していた。尚、図 7 で、参照符号 3 及び 4 はソース又はドレイン拡散層、13、15 は酸化膜、14 は側壁酸化膜、31 はアルミニウム等の金属電極、40 はコンタクト孔である。

【0004】更に、従来の MOSFET の寄生容量を低減することによって半導体回路の動作時間を低減できる技術として、シリコン・オン・インシュレータ (Silicon On Insulator: SOI) と呼ばれる構造を有した MOSFET が知られており、例えば、ソリッド ステート サーキット、SC-7 巻、ナンバー 2 (1972) 第 135 頁から 145 頁 (Solid-State Circuits, Vol. SC-7, No. 2 (1972), pp135-145) に開示されており、図 5 に示した断面構造と図 6 に示した平面構造を有している。

【0005】図 5 に示した従来の SOI 構造の MOSFET は、下記構造によって製造されていた。すなわち、始めに、シリコン基板 1 の上に酸化膜 11 を有し、酸化膜 11 の上に所望の厚さのシリコン層 12 を有する SOI 基板を形成する。この後、周知のホトエッチング技術を用いてシリコン層 12 をパターンニングし、この表面をゲート酸化してゲート酸化膜 12 を形成した後、多結晶シリコンを堆積してパターンニングすることによりゲート 21 を形成していた。尚、図 5 で、3 及び 4 はソース又はドレイン拡散層、13、15 は酸化膜、14 は側壁酸化膜、31 はアルミニウム等の金属電極、40 はコンタクト孔である。

【0006】

【発明が解決しようとする課題】従来の MOSFET 並びに SOI 構造を有する MOSFET の何れも、シリコン基板表面が基板裏面と水平で且つ平坦な部分にゲートを形成していた。このため、負荷駆動能力を向上するためには、ゲート幅を増加する或いはゲート長を減少して相互コンダクタンスを向上する必要があった。しかし、ゲート幅の増

加は MOSFET の占有面積が増加するため集積度の低下を招き、ゲート長の減少はパンチスルーの問題を招くため、これに対応するために製造プロセスが複雑となり、製品価格の上昇は避けられなかった。

【0007】また、MOSFET を形成する基板の結晶面方位は、電子の移動度が最大となることと、界面準位密度がこの面で最低となることから、(100) 面を用いるのが一般的であった。しかし、(100) 面は正孔の移動度が最も低下するために、同一基板上に CMOS 回路を形成した場合、p チャネル MOS (PMOS) は n チャネル MOS (NMOS) に比較して相互コンダクタンス (g_m) が低下する欠点があった。図 9 の回路図は、最も基本的な CMOS インバータ回路を示しており、図 10 の平面図は、このインバータ回路のマスクパターンのレイアウト模式図を示している。現状での PMOS の g_m は NMOS の約 $1/2$ の値であり、両者の特性上のバランスを取るために、PMOS のゲート幅を NMOS の約 2 倍としている。このため、PMOS の占有面積が増大し、高集積化の妨げとなっていた。

【0008】本発明の目的は、微細で且つ高性能な MOSFET を実現する半導体装置及びその製造方法を提供することにある。

【0009】本発明の他の目的は、従来に比較して占有ゲート幅に対する実効ゲート幅の割合が大きく、微細で高性能な MOSFET を実現する半導体装置及びその製造方法を提供することにある。

【0010】本発明の他の目的は、PMOS の特性及び占有面積が NMOS と同等であり、微細で高性能な CMOS・LSI を実現する半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、図 1 に示すように、支持基板すなわちシリコン基板 1 上の第 1 の絶縁膜である二酸化シリコン膜 (以下、単に酸化膜と称する) 11 を介して配置した、断面が複数の V 字型の溝を有するシリコン層 2 を有し、このシリコン層の支持基板と水平な表面と支持基板に対し斜めの表面との一部を連続して覆うと共に、シリコン層とはゲート酸化膜 12 を介して形成された多結晶シリコン 21 のゲートと、シリコン層の尾根筋及び谷筋の方向をチャネル電流が流れる方向となる様に、シリコン層の一方の表面から取り出されたソース引き出し電極と、他方の表面から取り出されたドレイン引き出し電極とから構成されていることを特徴とする。

【0012】そして、半導体装置で、シリコン層 2 の支持基板と水平な表面の結晶面方位が (100) 面となり、シリコン層 2 の支持基板に対し斜めの表面の結晶面方位が (111) 面となる様に形成されていれば好適である。更に、半導体装置で、シリコン層 2 の断面が分離された台形状であり、台形状のシリコン層 2 の底面寸法が実効

ゲート長の $1/2$ より薄く形成されていれば好適である。更に、半導体装置を用いてCMOS回路を構成する際に、NMOSのゲート酸化膜を介してゲートと接するシリコン層2の主表面の結晶面方位が(100)面であることと、PMOSのゲート酸化膜を介してゲートと接するシリコン層2の主表面の結晶面方位が(111)面となる様に形成されていれば好適である。

【0013】或いは、本発明の半導体装置は、半導体基板に設けられたチャンネルとなる拡散層5を有し、この拡散層表面に断面が二等辺三角形の複数の溝を有し、拡散層の水平な表面と溝内の斜め表面との一部を連続して覆うと共に、拡散層5とはゲート酸化膜12を介して形成された多結晶シリコン21のゲートと接し、拡散層表面の溝筋の方向をチャンネル電流が流れる方向となる様に、拡散層5の一方の表面から取り出されたソース引き出し電極と、他方の表面から取り出されたドレイン引き出し電極とから構成されていることを特徴とする。そして半導体装置で、拡散層5の水平表面の結晶面方位が(100)面となり、拡散層5の溝内の斜め表面の結晶面方位が(111)面となる様に形成されていれば好適である。更に、半導体装置を用いてCMOS回路を構成する際に、NMOSのゲート酸化膜を介してゲートと接する拡散層5の主表面の結晶面方位が(100)面であることと、PMOSのゲート酸化膜を介してゲートと接する拡散層5の主表面の結晶面方位が(111)面となる様に形成されていれば好適である。

【0014】そして、目標を達成するために、本発明の半導体装置の製造方法は、支持基板上に第1の絶縁膜、低不純物濃度の第1の半導体層、第2の絶縁膜を順次堆体した状態にする工程と、すなわち、図12で言えば、シリコン基板1上に酸化膜11、単結晶シリコン層2、酸化膜16を順次備えた積層基板を形成する工程と、図13に示すように、酸化膜16をエッチングマスクとして単結晶シリコン層2を面異方性エッチングしてトランジスタの活性領域を形成する工程と、この単結晶シリコンにゲート酸化膜12を形成後にシリコン層を覆うように高濃度不純物の多結晶シリコン膜21と酸化膜13を順次を堆体する工程と、図15に示すように多結晶シリコン膜21と酸化膜13を所望形状にパターニングしてゲートを形成する工程と、この多結晶シリコン膜と酸化膜をマスクにしてソース・ドレインの浅い拡散層3を形成する工程と、多結晶シリコン膜21と酸化膜13の側壁に第3の酸化膜を設ける工程と、拡散層3より深い拡散層4を形成する工程と、第4の酸化膜15を堆積した後に、これを所望形状にパターニングしてソース・ドレイン並びにゲート引き出し電極を形成する工程とから成ることを特徴とする。

【0015】また、支持基板上に第1の不純物層、第1の絶縁膜を形成する工程と、すなわち図18で言えば、シリコン基板中に不純物層5と酸化膜17を形成する工

程と、図19に示すように、酸化膜16をエッチングマスクとして不純物層5表面を面異方性エッチングしてトランジスタの活性領域を形成する工程と、この不純物層にゲート酸化膜12を形成後にこれを覆うように高濃度不純物の多結晶シリコン膜21と酸化膜13を順次を堆体する工程と、図22に示すように多結晶シリコン膜21と酸化膜13を所望形状にパターニングしてゲートを形成する工程と、この多結晶シリコン膜と酸化膜をマスクにしてソース・ドレインの浅い拡散層3を形成する工程と、多結晶シリコン膜21と酸化膜13の側壁に第3の酸化膜を設ける工程と、拡散層3より深い拡散層4を形成する工程と、第4の酸化膜15を堆積した後に、これを所望形状にパターニングしてソース・ドレイン並びにゲート引き出し電極を形成する工程とから成ることを特徴とする。

【0016】更に何れの製造方法でも、単結晶シリコン層2を面異方性エッチングした後に、ゲート酸化膜の信頼性を向上するため、単結晶シリコン層2を酸化しこれを除去することで、溝の内角を緩やかにする工程を付加しても良い。

【0017】

【作用】本発明の半導体装置は、チャンネル領域となる単結晶シリコン層或いは不純物拡散層を、面異方性エッチング技術を用いて加工し、チャンネル領域のゲート幅方向の断面がV字型の溝を有する構造とするため、占有ゲート幅に対して実効ゲート幅を増加出来る。この関係を図11を用いて説明する。図11は、面異方性エッチングのマスクとなる酸化膜の幅 a と、その酸化膜の間隔、すなわち、溝の開口寸法 b を一定とした場合の、占有ゲート幅 W と実効ゲート幅 W_{eff} の関係を示した。本発明は、殆んどの占有ゲート幅で、従来型のMOSFETに比べ大きな実効ゲート幅を確保でき、 $W=10\mu m$ では $W_{eff}=13\mu m$ となることが分かる。ここで、図11で本発明の実効ゲート幅が占有ゲート幅に対して段階的に変化しており、これは、溝を一つ追加するのに、最低でも溝の繰返し間隔 $a+b$ の占有ゲート幅が必要なことによる。このことから、本構造を用いることで微細化が容易となり、高性能なMOSFETの実現が可能となる。

【0018】また、チャンネル領域となる単結晶シリコン層の表面の結晶面方位を(100)面とし、面異方性エッチングにより形成される斜め表面の結晶面方位を(111)面とし、これをPMOSに用いることで大幅な性能向上が期待できる。MOSFETを形成する基板の結晶面方位は(100)面を用いるのが一般的であり、これは正孔の移動度が最も低い面方位である。そこで、この構造を用いて表面の主な結晶面方位を(111)面とすることで正孔の移動度を増加させ、同時に実効ゲート幅を増加することで、高い相互コンダクタンスを得ることができる。結晶面方位を(100)面から(111)面とすることで、正孔の移動度は約45%向上するため、実効ゲート幅が

占有ゲート幅の40%増しとなるようにレイアウトすれば、従来に比べ約2倍の相互コンダクタンスを得ることができる。従って、CMOS回路のPMOSに本発明の構造を用いれば、PMOSの占有面積をNMOSと同程度とすることができ、回路の集積度が飛躍的に向上する。

【0019】更に、この構造は1回の酸化膜の堆積とホトエッチング工程で行うこと、構造をSOI構造に適用する場合、これらの工程を素子分離工程と兼用できるため製造工程数が通常のMOS型トランジスタの製造方法と同等であり、製造価格の上昇を回避することができる。

【0020】

【実施例】次に、本発明の半導体装置及びその製造方法の実施例につき、添付図面を参照しながら以下詳細に説明する。尚、添付図面で、理解を容易にするために要部は他の部分よりも拡大されて示されている。

【0021】＜実施例1＞第1の実施例について図1及び図2を用いて説明する。図1は本発明の半導体装置の一実施例を示すSOI構造のMOSFETの要部の断面図であり、図2はその平面構造を模式的に示したレイアウトパターン図である。ここで図1で、X方向断面、Y方向断面は、図2中にX方向線、Y方向線のそれぞれで示した断面図である。尚、図1以外の図でも、X方向断面、Y方向断面はそれぞれこれと同じ位置関係及び方向で切断した場合の断面構造を示す。

【0022】図1に示すように本発明に半導体装置は支持基板、すなわち、シリコン基板1上の第1の絶縁膜である二酸化シリコン膜11を介して配置した、断面が複数のV字型の溝を持つシリコン層2を有し（本実施例の場合、溝の数は4）、図1のY方向断面に示したように、多結晶シリコン21のゲートはゲート酸化膜12を介してシリコン層2の水平表面と斜め表面との一部に接しており、多結晶シリコン21が溝内に埋め込まれる構造となっている。また、シリコン層の溝筋の方向をチャネル電流が流れる方向となる様に、シリコン層の一方の水平表面及び斜め表面からソース引き出し電極を取り出し、他方の水平表面及び斜め表面からドレイン引き出し電極を取り出している。このため、実効的なゲート幅はシリコン層2の水平表面と斜め表面との和となり、占有ゲート幅に対して実効ゲート幅を増加することができる。またこれに付随して、ソース並びにドレイン拡散層と引き出し電極との接触面積が増加し、ソース・ドレインの寄生抵抗（この場合はコンタクト抵抗）を低減できる。

【0023】また、半導体装置を用いてCMOS回路を構成する際に、NMOSのシリコン層2の主表面の結晶面方位が(100)面であることと、即ち、NMOSのチャネルは溝のない平坦なシリコン層を用いることと、PMOSのシリコン層2の主表面の結晶面方位が(111)

面とすること、即ちPMOSのチャネルには溝を設けることで、NMOSのキャリアである電子の移動度を低下することなく、PMOSのキャリアである正孔の移動度を向上することができる。

【0024】更に、この構造の形成は1回の酸化膜の堆積とホトエッチング工程で行うことと、これらの工程を素子分離工程と兼用できることから、製造工程数が通常のSOI構造のMOSFETの製造方法と同等であり、製造価格の上昇を回避することができる。

【0025】以下、図1に示した本発明の半導体装置の製造方法の一例を図12ないし図16を用いて、それぞれ下記の(1)ないし(6)で順に説明する。ここで、図12ないし図17は、本実施例による半導体装置の製造工程を順に示した断面構造であり、図1の断面構造となる前までの構造を示している。

【0026】(1)図12に示すように周知のSOI技術を用いて、シリコン基板1上に二酸化シリコン11とこの上に単結晶シリコン2を備えた、SOI基板を形成する。即ち、支持基板となるシリコン基板1及び素子側基板となる単結晶シリコン基板の2枚の基板上にそれぞれ酸化膜を熱酸化或いはCVDを用いて形成し、それぞれ或いは何れか一方の酸化膜表面を研削・研磨して平坦にした後、表面を清浄にして酸化膜同士を対抗させ、熱圧着することにより酸化膜同士が一体化して酸化膜11となり、シリコン基板1と素子側基板が酸化膜11を介して接着する。素子側基板を研削・研磨して所要厚さの単結晶シリコン層2とすることにより、SOI基板が形成される。この時、素子側基板となる単結晶シリコン基板の表面の結晶面方位が(100)面となるようにする。

【0027】このようにして形成されたSOI基板上に、酸化膜16をCVD法により堆積し、シリコン基板1、酸化膜11、単結晶シリコン層2、及び酸化膜12の4層が順次積層された積層基板を形成する。

【0028】(2)図13に示すようにホトエッチング技術を用いて、ホトレジストのパターンを形成後このホトレジストパターンをマスクに酸化膜12を異方性ドライエッチングし、レジストを除去した後に、面異方性エッチング技術を用いて酸化膜12をマスクに単結晶シリコン層2をパターンニングする。この時、シリコン層表面の結晶面方位が(100)面であるため、ヒドラジンやKOH水溶液を用いてエッチングすれば、(111)面は殆んどエッチングされないため、酸化膜12の端部を開口部とするV字型の溝が精度良く形成される。これにより、溝内の表面の結晶面方位が(111)面となる。

【0029】(3)図14に示すように、この後、エッチングマスク用の酸化膜12を除去した後に、シリコン層2の表面をゲート酸化して、例えば、膜厚5nmのゲート酸化膜12を形成する。ここで、このゲート酸化膜の形成前に、MOSの閾値の調整やパンチスルーを抑制するために、ソース・ドレインと反対導電型の不純物を

ゲート下部となるシリコン層2にイオン打ち込み、続いて例えば、800ないし900°C、60分程度の熱処理を施してもよい。更に、ゲート酸化膜の信頼性を向上するために、ゲート酸化前にシリコン層2の表面を酸化しこれを除去する工程を加えても良い。これにより、溝の角の部分がなだらかな形状となり、ゲート酸化膜の厚さを均一にすることができる。次に、基板表面に $10^{20}/\text{cm}^3$ 以上の高濃度の不純物を有する多結晶シリコン膜21を、CVD法により図14に示すようにシリコン層2の溝が埋まる程度の厚さ、すなわち、少なくとも溝開口部の寸法の1/2の厚さになるように堆積する。ここで、高濃度の不純物を含む多結晶シリコン21の堆積の代わりに、低不純物濃度の多結晶シリコンの堆積とイオン打ち込みによる不純物注入とを組み合わせても、或いはタングステン等の金属材料を用いても良い。この後、熱酸化或いはCVDを用いて基板表面に酸化膜13を用いて形成する。

【0030】(4) 図15に示すように周知のホトエッチング技術を用いて、ゲートとなる部分を残す様に酸化膜13と多結晶シリコン21をパターンニングする。この後、イオン打ち込み技術を用いて単結晶シリコン2へ不純物を注入し、続いて熱処理を施し、後にソース・ドレインとなる不純物層3を形成する。

【0031】(5) 図16に示すようにこの後、熱酸化或いはCVDを用いて基板表面に酸化膜14を用いて形成し、続いて、異方性エッチング技術を用いて酸化膜14の膜厚分だけエッチングを行い、酸化膜13と多結晶シリコン21の側壁に酸化膜14を残す。この後、イオン打ち込み技術を用いて単結晶シリコン2へ不純物を注入し、続いて熱処理を施し、先の不純物層3と同一導電型で且つ拡散深さの深い不純物層4を形成する。

【0032】(6) 図17に示すようにCVD法を用いて基板表面に酸化膜15を設ける。ホトエッチング技術を用いて所要箇所にコンタクト孔を形成する。

【0033】以上の工程の(1)ないし(6)で説明した製造工程を経た後、ホトエッチング技術を用いて所要箇所にコンタクト孔を形成し、次に、アルミニウム電極を形成すれば、図1に示す高性能なSOI構造のMOSFETを実現することができる。

【0034】<実施例2>第2の実施例について図3及び図4を用いて説明する。図3は本発明の半導体装置の別のMOSFETの要部の断面図であり、図4はその平面構造を模式的に示したレイアウトパターン図である。ここで図3で、X方向断面、Y方向断面は、図4中にX方向線、Y方向線のそれぞれで示した断面構造の模式図である。尚、図1以外の図でも、X方向断面、Y方向断面はそれぞれこれと同じ位置関係及び方向で切断した場合の断面構造を示す。

【0035】図3に示すように、本発明に半導体装置は支持基板、すなわち、シリコン基板1中にチャンネルとな

る第1の不純物層と、基板上にLOCOS酸化膜17を有し、第1の不純物層表面の一部に、V字型の溝を有し(本実施例の場合、溝の数は3)、図3のY方向断面に示したように、多結晶シリコン21のゲートはゲート酸化膜12を介して不純物層5の水平表面と斜め表面との一部に接しており、多結晶シリコン21が溝内に埋め込まれる構造となっている。また、シリコン層の溝筋の方向をチャンネル電流が流れる方向となる様に、シリコン層の一方の水平表面及び斜め表面からソース引き出し電極を取り出し、他方の水平表面及び斜め表面からドレイン引き出し電極を取り出している。このため、実効的なゲート幅はチャンネル領域となる不純物層5の水平表面と斜め表面との和となり、占有ゲート幅に対して実効ゲート幅を増加することができる。またこれに付随して、ソース並びにドレイン拡散層と引き出し電極との接触面積が増加し、ソース・ドレインのコンタクト抵抗を低減できる。

【0036】また、半導体装置を用いてCMOS回路を構成する際に、NMOSの不純物層5の主表面の結晶面方位が(100)面であることと、即ち、NMOSのチャンネルは溝のない平坦なシリコン層を用いることと、PMOSの不純物層5の主表面の結晶面方位が(111)面とすること、即ち、PMOSのチャンネルには溝を設けることで、NMOSのキャリアである電子の移動度を低下することなく、PMOSのキャリアである正孔の移動度を向上することができる。

【0037】更に、この構造の形成は1回の酸化膜の堆積とホトエッチング工程で行うことから、製造工程数が通常のMOSFETの製造方法と同等であり、製造価格の上昇を回避することができる。

【0038】以下、図3に示した本発明の半導体装置の製造方法の一例を図18ないし図23を用いて、それぞれ下記の(7)ないし(12)で順に説明する。ここで、図18ないし図23は、本実施例による半導体装置の製造工程を順に示した断面構造であり、図3の断面構造となる前までの構造を示している。

【0039】(7) 初めに、図18に示すように、周知のイオン打ち込み技術を用いて、シリコン基板1にソース・ドレイン拡散層と反対導電型の不純物を注入し不純物層5を形成する。続いて、図示しない窒化膜をマスクにLOCOS酸化を行い酸化膜17を形成する。この時、素子側基板となる単結晶シリコン基板の表面の結晶面方位が(100)面となるようにする。

【0040】(8) その後、図19に示すように、シリコン基板上に酸化膜16をCVD法により堆積し、続いて、ホトエッチング技術を用いて、酸化膜16をパターンニングする。次に、この酸化膜16をマスクに面異方性エッチング技術を用いてシリコン不純物層5をパターンニングする。この時、シリコン層表面の結晶面方位が(100)面であるため、ヒドラジンやKOH水溶液を用い

てエッチングすれば、(111)面は殆んどエッチングされないため、酸化膜12の端部を開口部とするV字型の溝が精度良く形成できる。このため、溝内の表面の結晶面方位が(111)面となる。

【0041】(9)この後、図20に示すように、エッチングマスク用の酸化膜12を除去した後に、シリコン不純物層5の表面をゲート酸化して、例えば、膜厚5nmのゲート酸化膜12を形成する。ここで、このゲート酸化膜の形成前に、MOSの閾値の調整やパンチスルーを抑制するために、ソース・ドレインと反対導電型の不純物をゲート下部となる不純物層5にイオン打ち込み、続いて例えば、800ないし900℃、60分程度の熱処理を施してもよい。更に、ゲート酸化膜の信頼性を向上するために、ゲート酸化前にシリコン層2の表面を酸化しこれを除去する工程を加えても良い。これにより、溝の角の部分がなだらかな形状となり、ゲート酸化膜の厚さを均一にすることができる。

【0042】(10)次に、図21に示すように、基板表面に $10^{20}/\text{cm}^3$ 以上の高濃度の不純物を有する多結晶シリコン膜21を、CVD法により図21に示すように不純物層5の溝が埋まる程度の厚さ、すなわち少なくとも溝開口部の寸法の1/2の厚さになるように堆積する。ここで、高濃度の不純物を含む多結晶シリコン21の堆積の代わりに、低不純物濃度の多結晶シリコンの堆積とイオン打ち込みによる不純物注入とを組み合わせても、或いはタングステン等の金属材料を用いても良い。この後、熱酸化或いはCVDを用いて基板表面に酸化膜13を用いて形成する。

【0043】(11)次に、図22に示すように、周知のホットエッチング技術を用いて、ゲートとなる部分を残す様に酸化膜13と多結晶シリコン21をパターニングする。この後、イオン打ち込み技術を用いて基板表面へ不純物を注入し、続いて熱処理を施し、後にソース・ドレインとなる不純物層3を形成する。

【0044】(12)この後、図23に示すように、熱酸化或いはCVDを用いて基板表面に酸化膜14を用いて形成し、続いて、異方性エッチング技術を用いて酸化膜14の膜厚分だけエッチングを行い、酸化膜13と多結晶シリコン21の側壁に酸化膜14を残す。この後、イオン打ち込み技術を用いて単結晶シリコン2へ不純物を注入し、続いて熱処理を施し、先の不純物層3と同一導電型で且つ拡散深さの深い不純物層4を形成する。次に、CVD法を用いて基板表面に酸化膜15を設ける。

【0045】以上の工程の(7)ないし(12)で説明した製造工程を経た後、ホットエッチング技術を用いて所要箇所にコンタクト孔を形成し、更に、アルミニウム電極を形成すれば、図3に示す高性能なMOSFETを実現することができる。

【0046】<実施例3>第3の実施例について図24及び図25を用いて説明する。図24は本発明の半導体

装置の一実施例を示すSOI構造のMOSFETの要部の断面図であり、図25はその平面構造を模式的に示した説明図である。ここで図24で、X方向断面、Y方向断面は、図25中にX方向線、Y方向線のそれぞれで示した断面図である。

【0047】図24に示すように本発明の半導体装置は支持基板、すなわち、シリコン基板1上の第1の絶縁膜である二酸化シリコン膜11を介して配置した、断面が分離された台形のシリコン層2を有し、且つこのシリコン層2が近接して並行に配置され(本実施例の場合、台形の数3)、図24のY方向断面に示したように、多結晶シリコン21のゲートはゲート酸化膜12を介して複数のシリコン層2の水平表面と斜め表面との一部に接しており、多結晶シリコン21が溝内に埋め込まれる構造となっている。また、シリコン層の谷筋の方向をチャネル電流が流れる方向となる様に、複数のシリコン層の一方の水平表面及び斜め表面からソース引き出し電極を取り出し、他方の水平表面及び斜め表面からドレイン引き出し電極を取り出している。

【0048】このため、実効的なゲート幅は複数のシリコン層2の水平表面と斜め表面との和となり、占有ゲート幅に対して実効ゲート幅を増加することができる。また、これに付随して、ソース並びにドレイン拡散層と引き出し電極との接触面積が増加し、ソース・ドレインの寄生抵抗(この場合はコンタクト抵抗)を低減できる。更に、本構造は台形状のシリコン層2の斜め表面を表裏面とするダブルゲート構造が実現でき、この台形状のシリコン層2の底面寸法を実効ゲート長の1/2より薄くすれば、容易にチャネル領域を空乏化できるので、短チャネル化しても、ソース・ドレイン間のパンチスルーを制御でき、短チャネル効果を除去できる。

【0049】従って、従来、この短チャネル効果を抑制するために設けていたチャネル領域への高不純物濃度の導入が不要となるので、チャネル領域の不純物濃度を低減でき、相互コンダクタンスが増加する利点もある。

【0050】更に、半導体装置を用いてCMOS回路を構成する際に、NMOSのシリコン層2の主表面の結晶面方位が(100)面であることと、即ち、NMOSのチャネルは溝のない平坦なシリコン層を用いることと、PMOSのシリコン層2の主表面の結晶面方位が(111)面とすること、即ち、PMOSのチャネルには溝を設けることで、NMOSのキャリアである電子の移動度を低下することなく、PMOSのキャリアである正孔の移動度を向上することができる。

【0051】更に、この構造の形成は1回の酸化膜の堆積とホットエッチング工程で行うことと、これらの工程を素子分離工程と兼用できることから、製造工程数が通常のSOI構造のMOSFETの製造方法と同等であり、製造価格の上昇を回避することができる。

【0052】尚、本発明の半導体装置は第1の実施例と

同じ製造方法で実現でき、単結晶シリコン層 2 のマスクパターンのレイアウトのみ変更すれば良い。

【0053】＜実施例 4＞次に、第 4 の実施例について図 26 を用いて説明する。図 26 は、第 1 ないし第 3 の実施例に示す何れかの半導体装置を用いた、CMOS インバータ回路のマスクパターンのレイアウト模式図の一例を示している。第 1 ないし第 3 の実施例に示す何れかの半導体装置を用いて CMOS 回路を構成すれば、同一シリコン基板上で、NMOS のチャネルの主表面の結晶面方位が (100) 面とし、且つ PMOS のチャネルの主表面の結晶面方位が (111) 面とすることができ、NMOS のキャリアである電子の移動度を低下することなく、PMOS のキャリアである正孔の移動度を向上することができる。更に、PMOS は占有ゲート幅に対して実効ゲート幅が増加するので大幅な性能向上が期待できる。このため、NMOS と PMOS の占有面積をほぼ同一とすることができ、高集積化が可能となる。

【0054】＜実施例 5＞次に、第 5 の実施例について図 27 を用いて説明する。図 26 は、第 1 又は第 3 の実施例に示す何れかの半導体装置を用いた、CMOS インバータ回路のマスクパターンのレイアウト模式図の一例を示している。第 1 又は第 3 の実施例に示す何れかの半導体装置を用いて CMOS 回路を構成すれば、同一シリコン基板上で、NMOS のチャネルの主表面の結晶面方位が (100) 面とし、且つ PMOS のチャネルの主表面の結晶面方位が (111) 面とすることができ、NMOS のキャリアである電子の移動度を低下することなく、PMOS のキャリアである正孔の移動度を向上することができる。また、PMOS は占有ゲート幅に対して実効ゲート幅が増加するので大幅な性能向上が期待できる。このため、NMOS と PMOS の占有面積をほぼ同一とすることができ、高集積化が可能となる。更に、図 27 に示すように、単結晶シリコン層 2 のマスクパターンのレイアウトを変更して、NMOS のソースおよび／またはドレインが、PMOS のソースおよび／またはドレインと共通のコンタクト孔によって電極に引き出しているため、微細化に極めて好適である。

【0055】

【発明の効果】本発明によれば、チャネル領域となる単結晶シリコン層を、面異方性エッチング技術を用いて加工し、チャネル領域のゲート幅方向の断面が V 字型の溝を有する構造とするため、占有ゲート幅に対して実効ゲート幅を増加出来る。このため、本構造を用いることで微細化が容易となり、高性能な MOSFET の実現が可能となる。

【0056】また、チャネル領域となる単結晶シリコン層の表面の結晶面方位を (100) 面とし、面異方性エッチングにより形成される斜め表面の結晶面方位を (111) 面とし、これを PMOS に用いることで大幅な性能向上が期待できる。従って、CMOS 回路の PMOS に

本発明の構造を用いれば、PMOS の占有面積を NMOS と同程度とすることができ、回路の集積度が飛躍的に向上する。

【0057】更に、この構造は 1 回の酸化膜の堆積とホトエッチング工程で行うこと、この構造を SOI 構造に適用する場合、これらの工程を素子分離工程と兼用できるため製造工程数が通常の MOS 型トランジスタの製造方法と同等であり、製造価格の上昇を回避することができる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の一実施例を示す断面図。

【図 2】図 1 に示した本発明の半導体装置の平面構造の概略を示す説明図。

【図 3】本発明の半導体装置の別の実施例を示す断面図。

【図 4】図 3 に示した本発明の半導体装置の平面構造の概略を示す説明図。

【図 5】従来の SOI 構造の MOSFET を示す断面図。

【図 6】図 5 に示した従来の半導体装置の平面構造の概略を示す説明図。

【図 7】従来の MOSFET を示す断面図。

【図 8】図 7 に示した従来の半導体装置の平面構造の概略を示す説明図。

【図 9】CMOS インバータの回路図。

【図 10】図 9 に示した CMOS インバータを実現する従来の半導体装置の平面構造の概略を示す説明図。

【図 11】本発明の半導体装置における占有ゲート幅と実効ゲート幅の関係を示す説明図。

【図 12】図 1 に示した半導体装置の製造方法を説明するための途中工程における断面図。

【図 13】図 12 の次の製造工程における断面図。

【図 14】図 13 の次の製造工程における断面図。

【図 15】図 14 の次の製造工程における断面図。

【図 16】図 15 の次の製造工程における断面図。

【図 17】図 16 の次の製造工程における断面図。

【図 18】図 3 に示した半導体装置の製造方法を説明するための途中工程における断面図。

【図 19】図 18 の次の製造工程における断面図。

【図 20】図 19 の次の製造工程における断面図。

【図 21】図 20 の次の製造工程における断面図。

【図 22】図 21 の次の製造工程における断面図。

【図 23】図 22 の次の製造工程における断面図。

【図 24】本発明の半導体装置の別の実施例を示す断面図。

【図 25】図 24 に示した本発明の半導体装置の平面構造の概略を示す説明図。

【図 26】図 9 に示した CMOS インバータを実現する本発明の半導体装置の平面構造の概略を示す説明図。

【図 27】図 9 に示した CMOS インバータを実現する本発明の半導体装置の別の平面構造の概略を示す説明

図。

【符号の説明】

1…支持基板、2…単結晶シリコン、3、4、5…不純

物拡散層、11、12、13、14、15、16…二酸化シリコン、21…多結晶シリコン、31…アルミ電極、40…コンタクト孔。

【図 1】

【図 2】

図 1

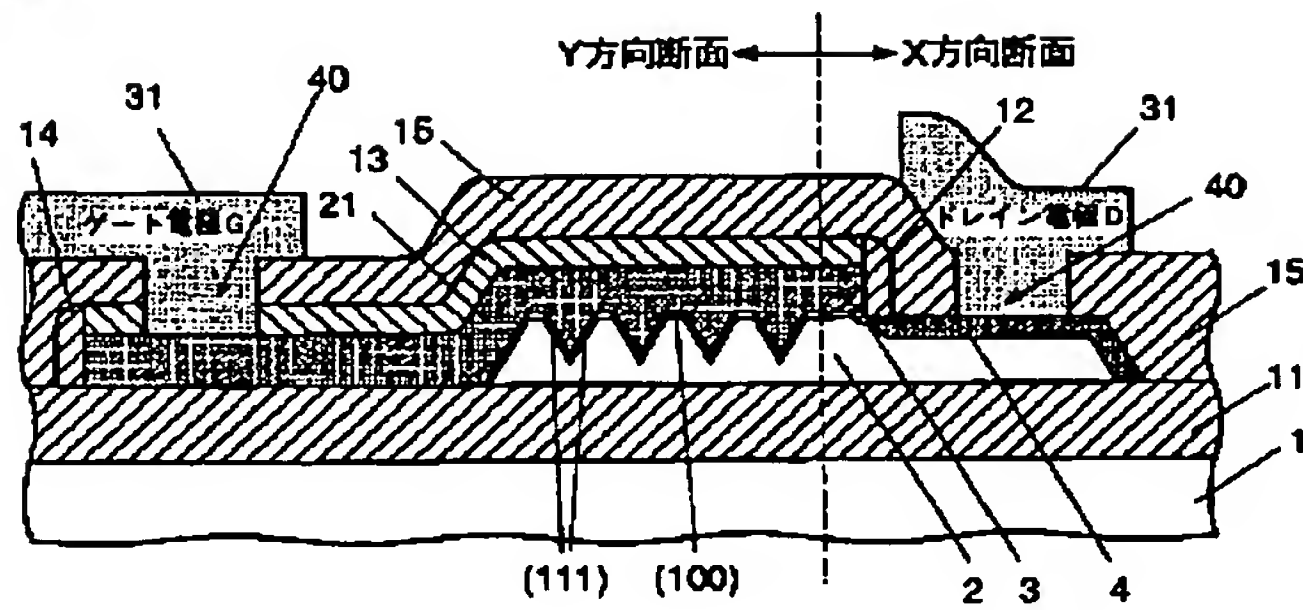
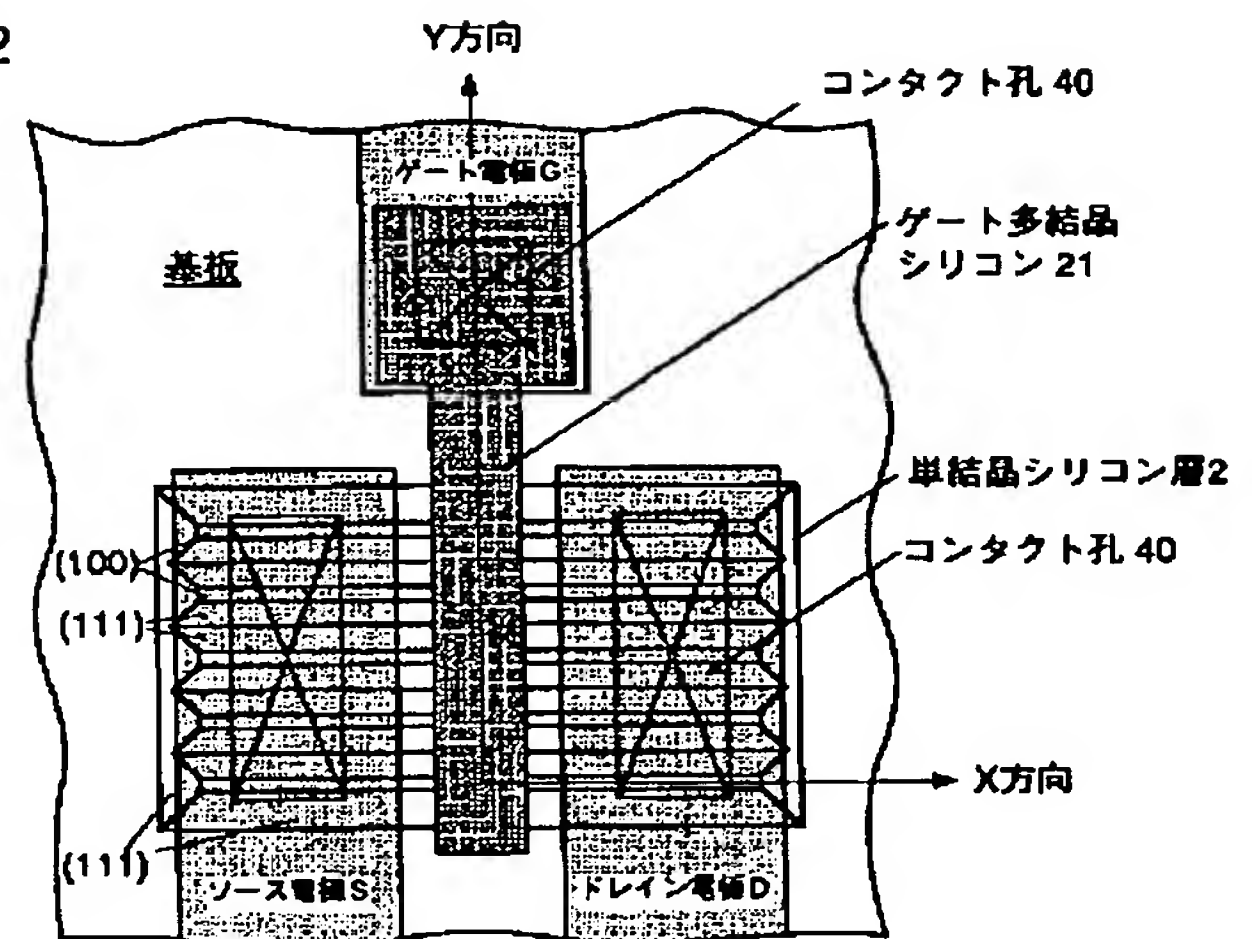


図 2



【図 3】

【図 4】

図 3

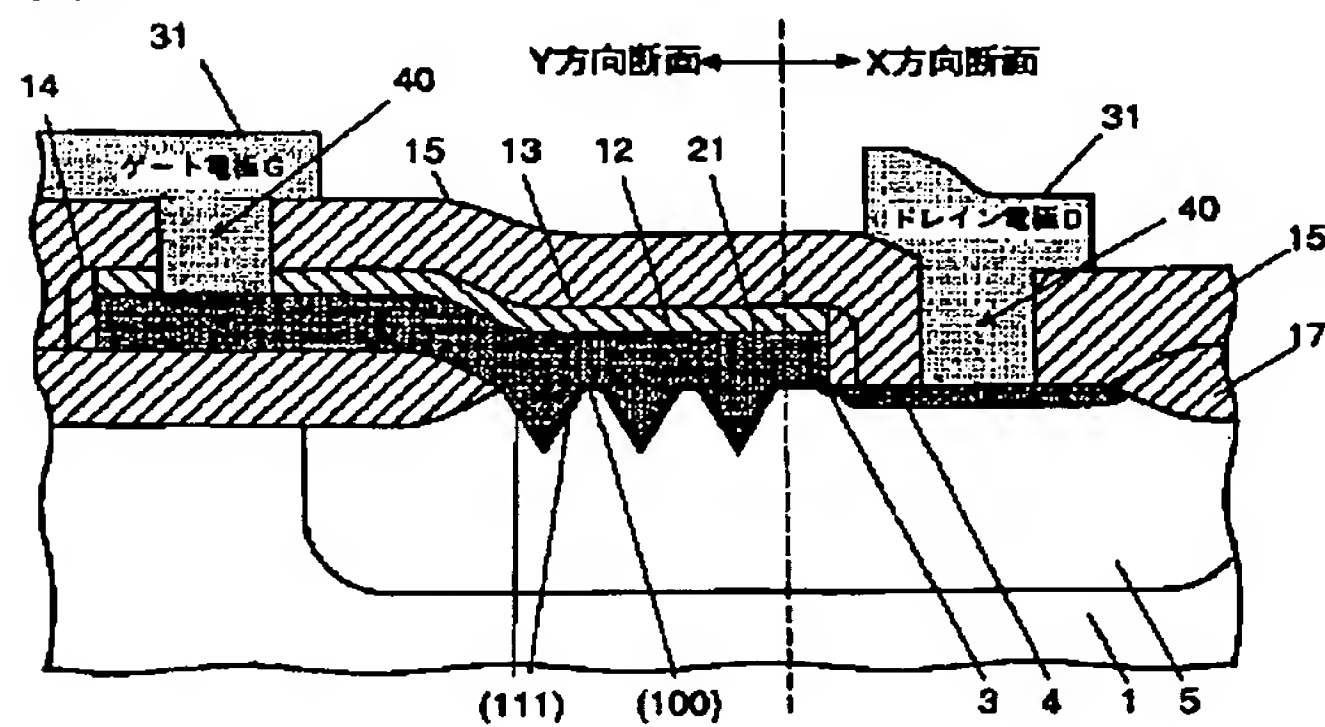
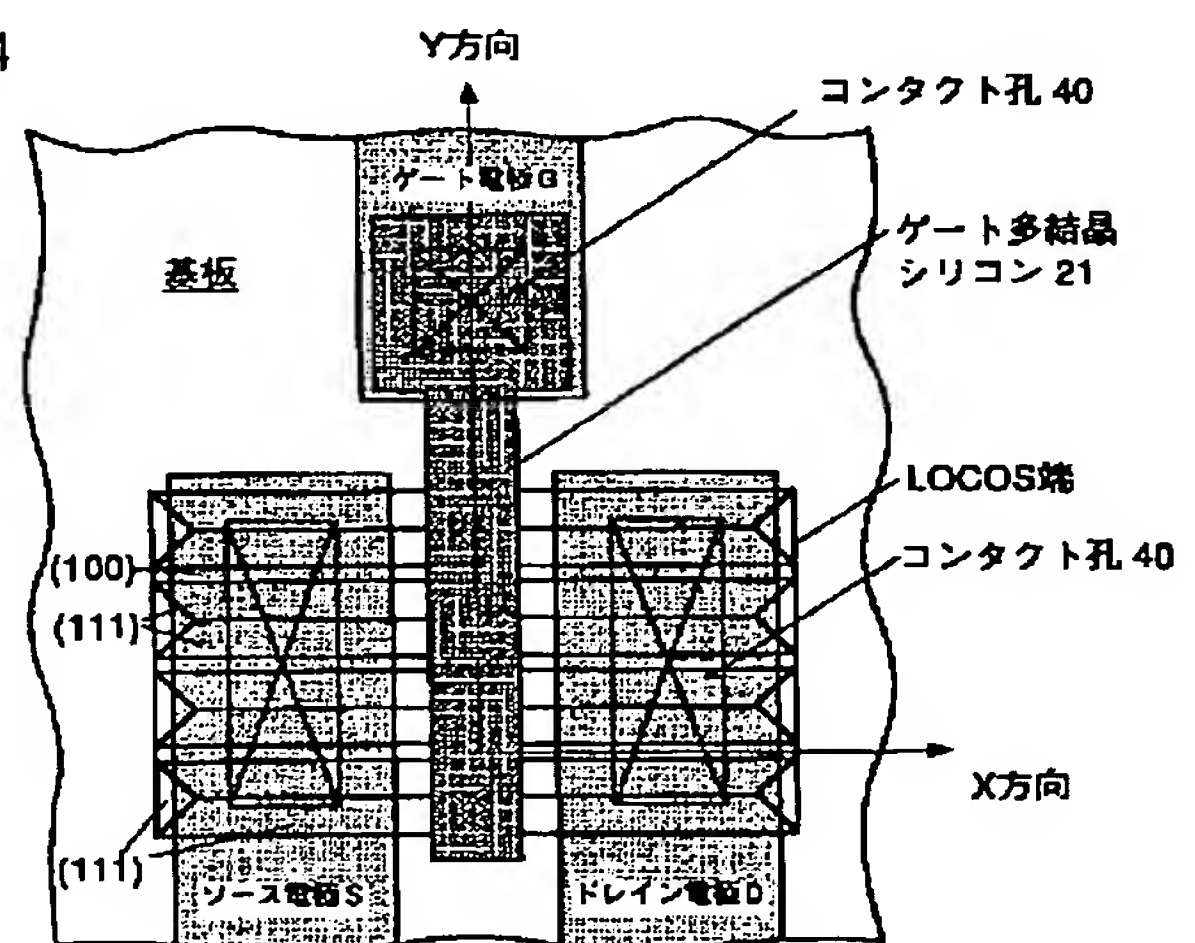
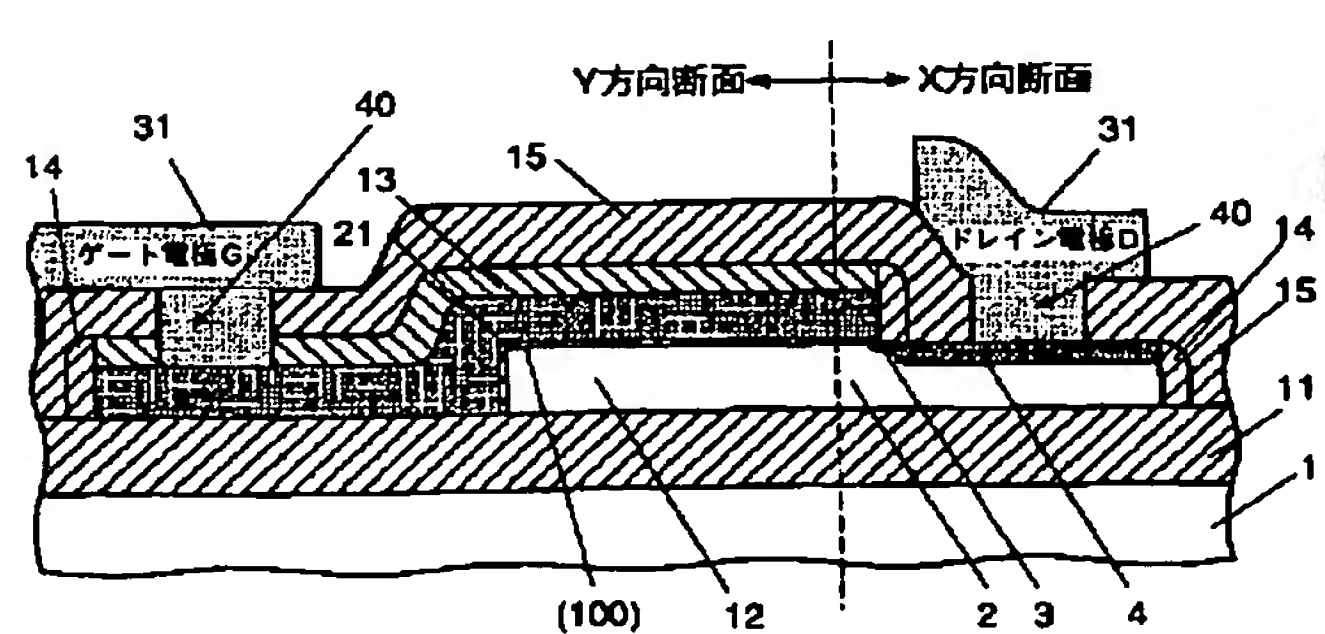


図 4



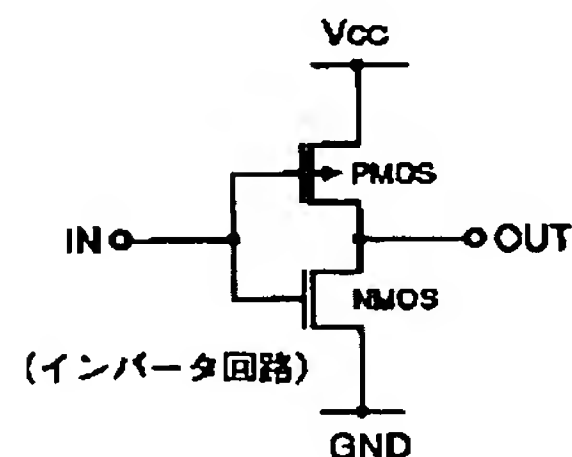
【図 5】

図 5



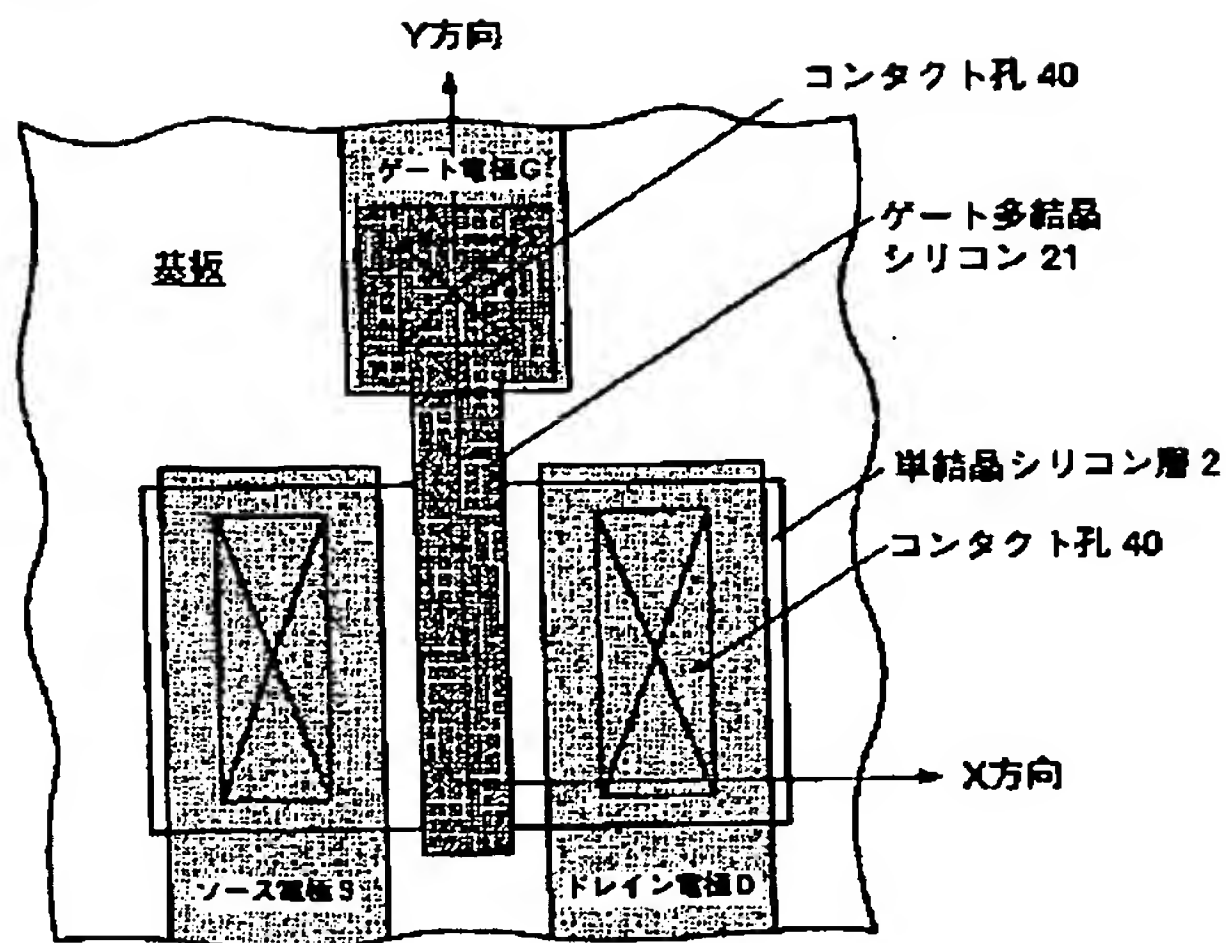
【図 9】

図 9



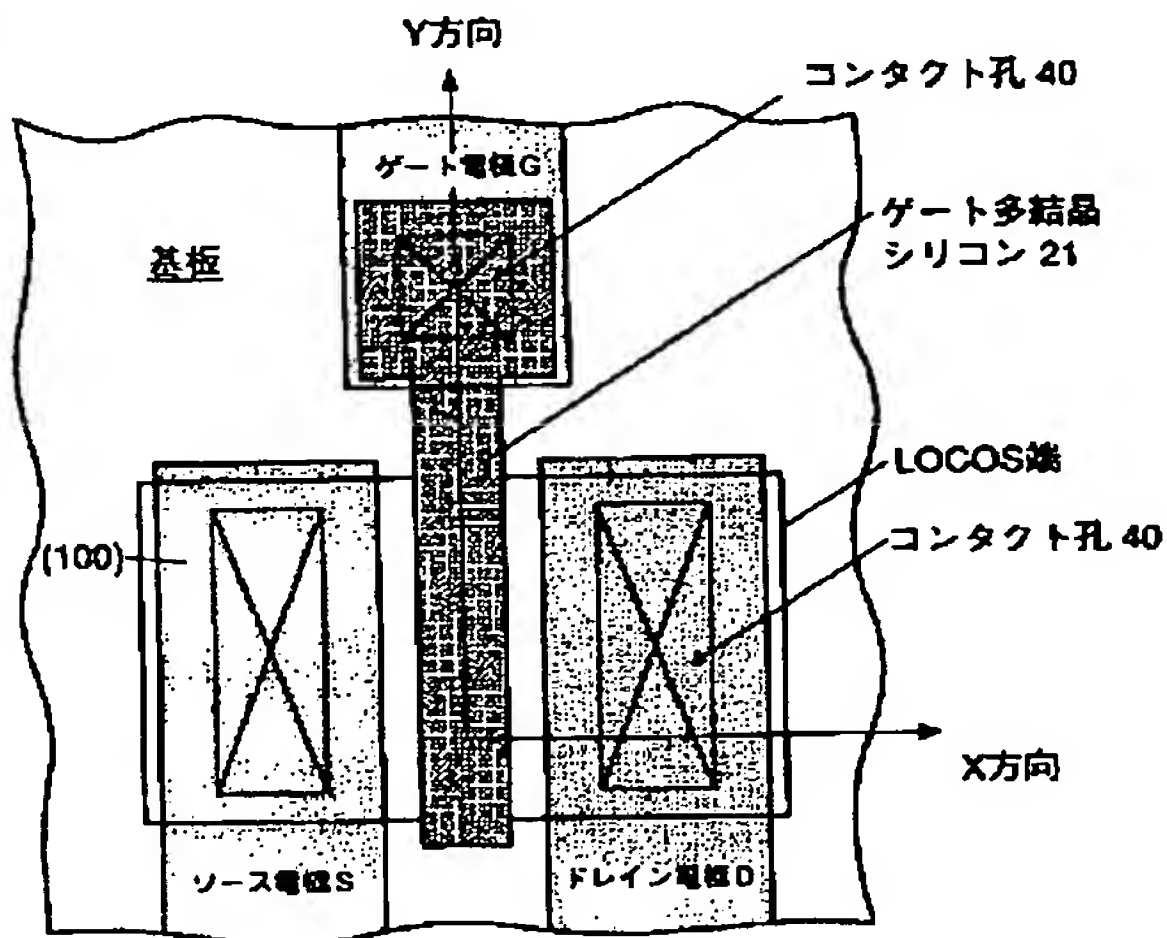
【図6】

図6



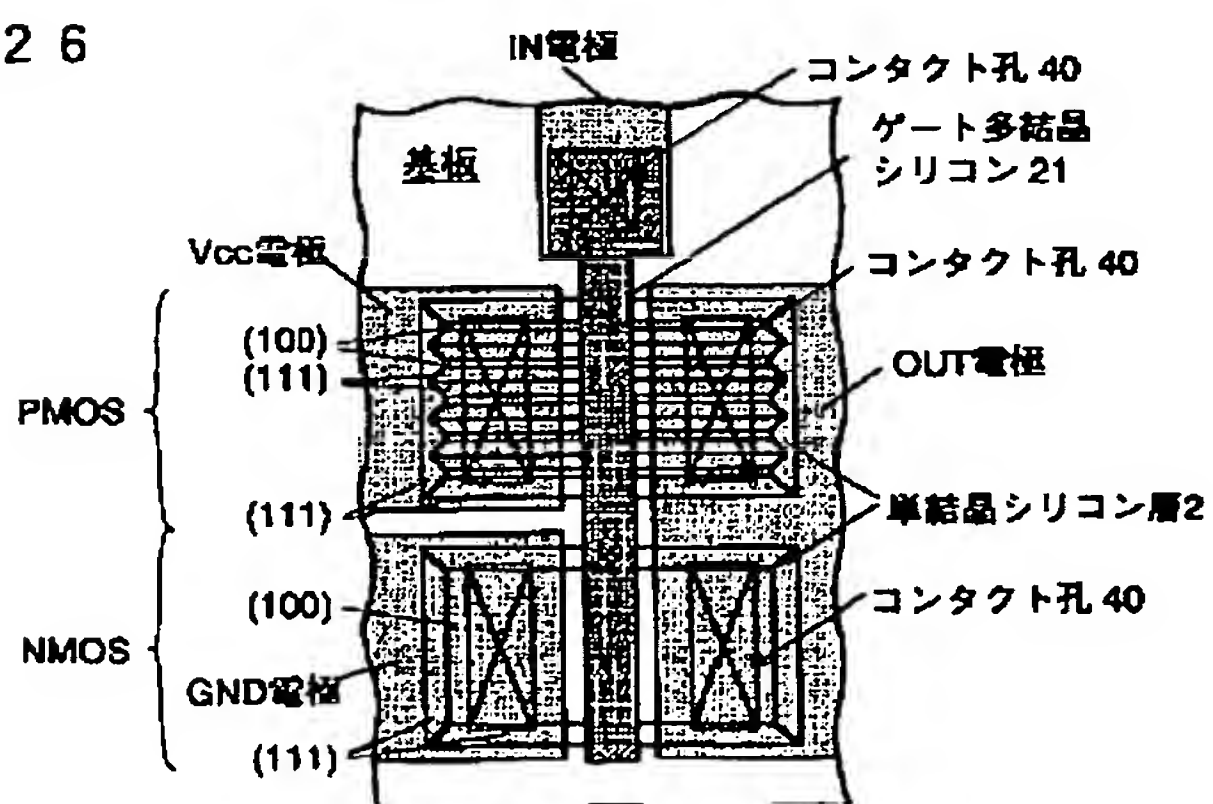
【図8】

図8



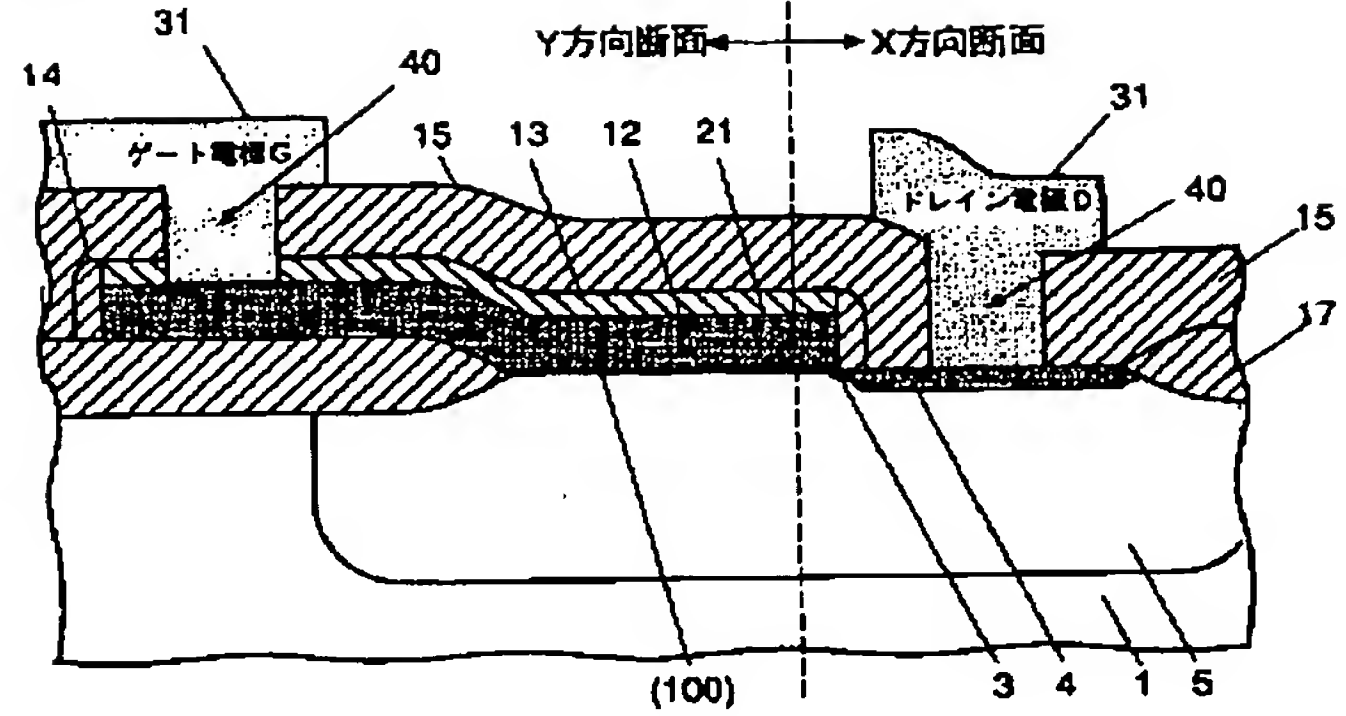
【図26】

図26



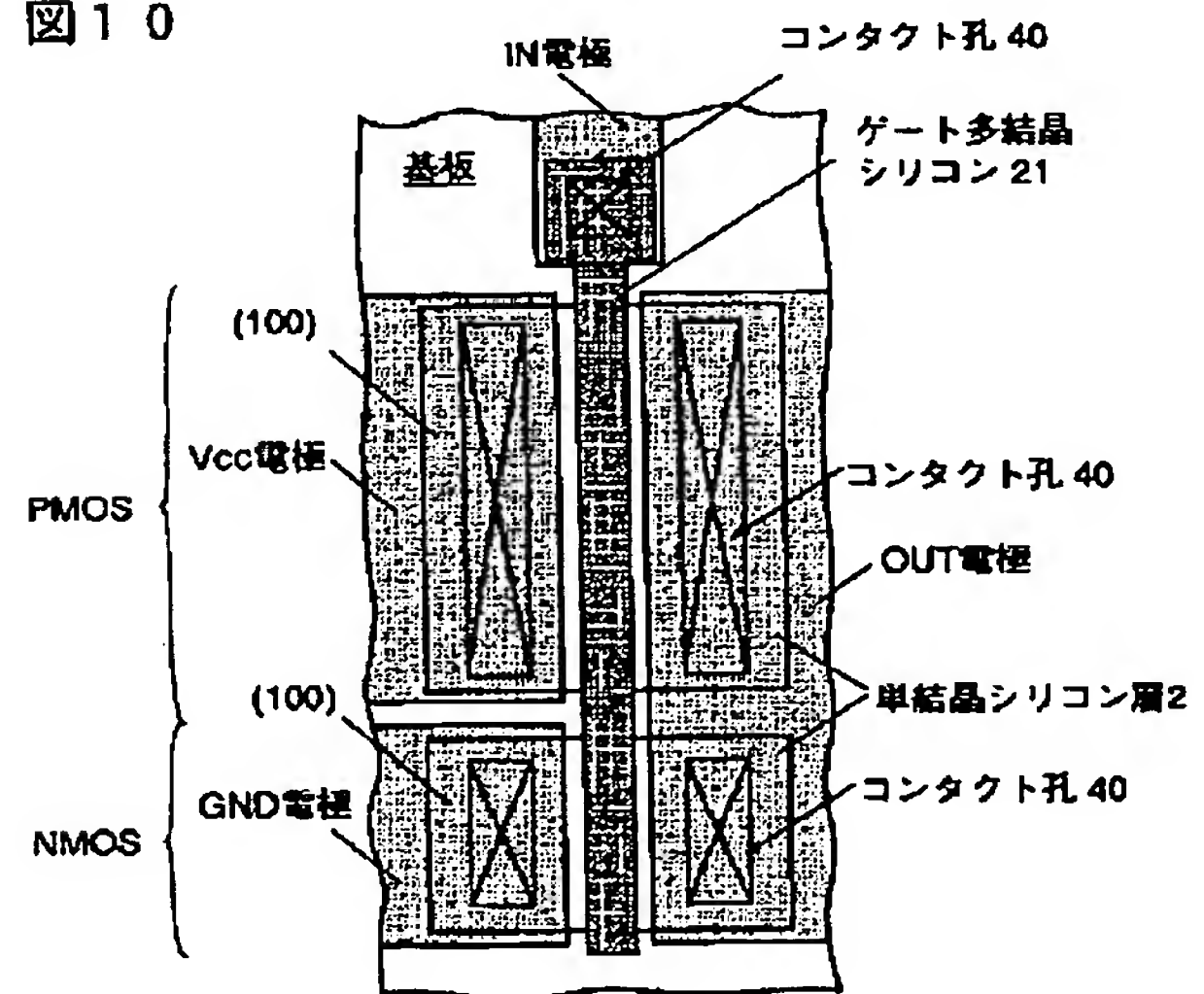
【図7】

図7



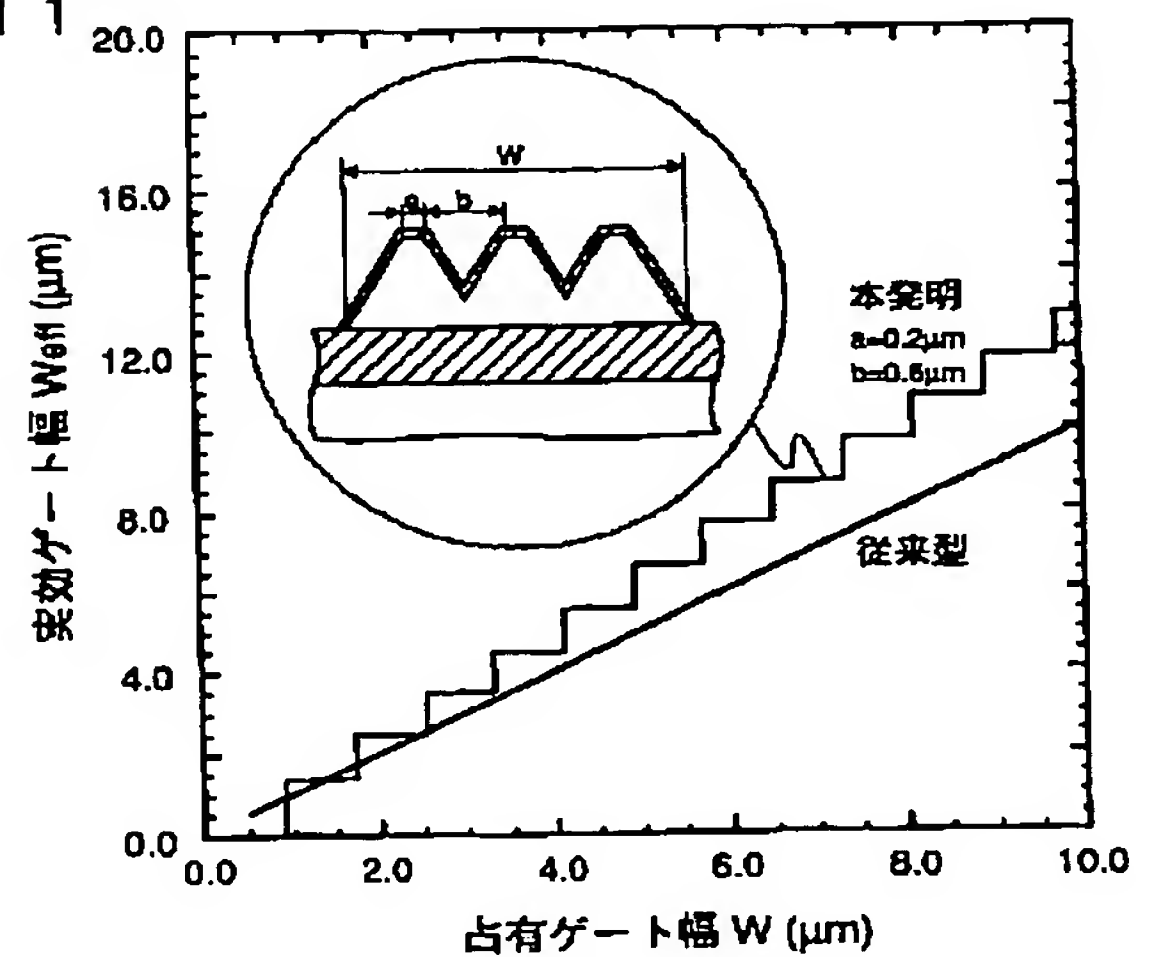
【図10】

図10



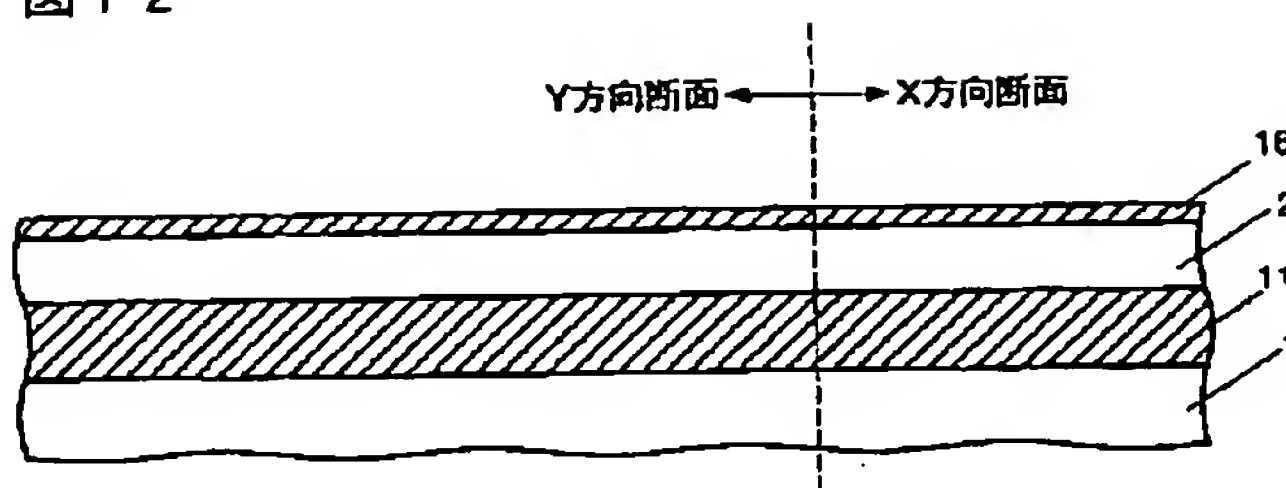
【図11】

図11



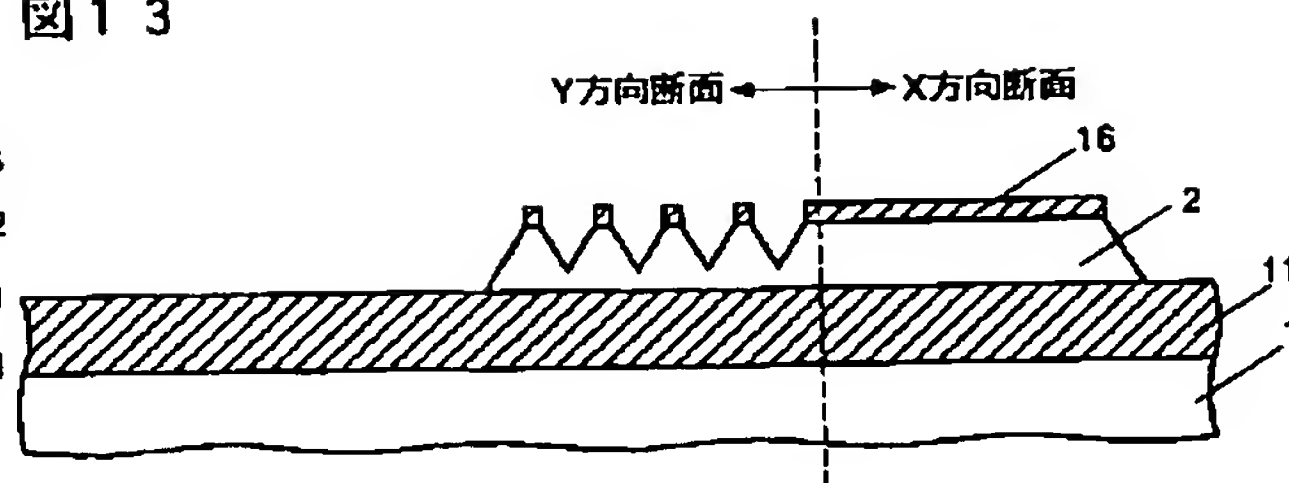
【図12】

図12



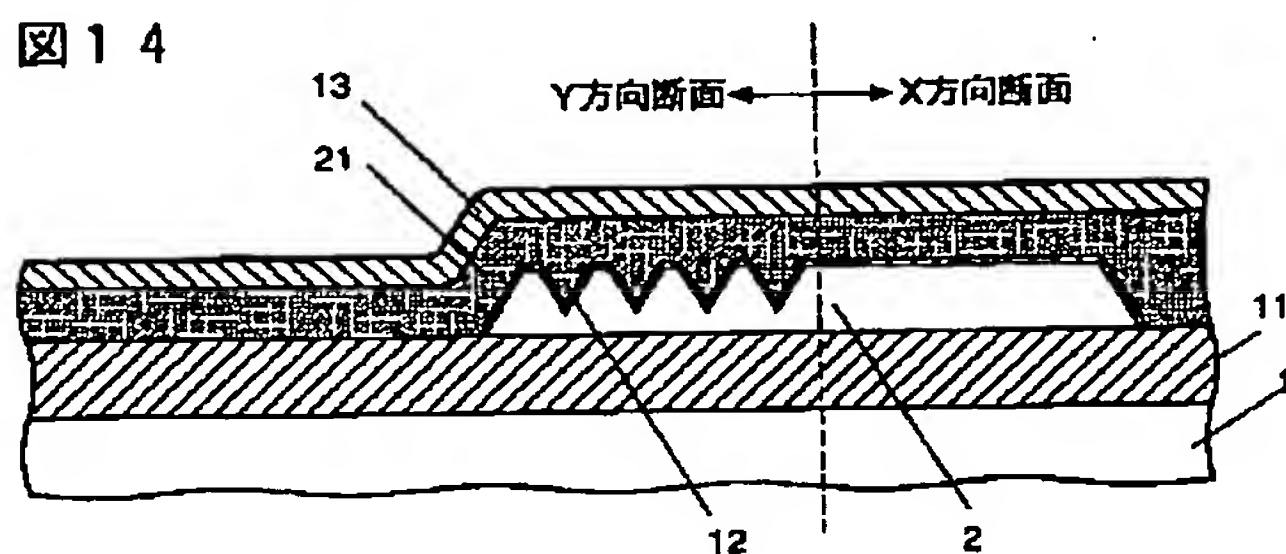
【図13】

図13



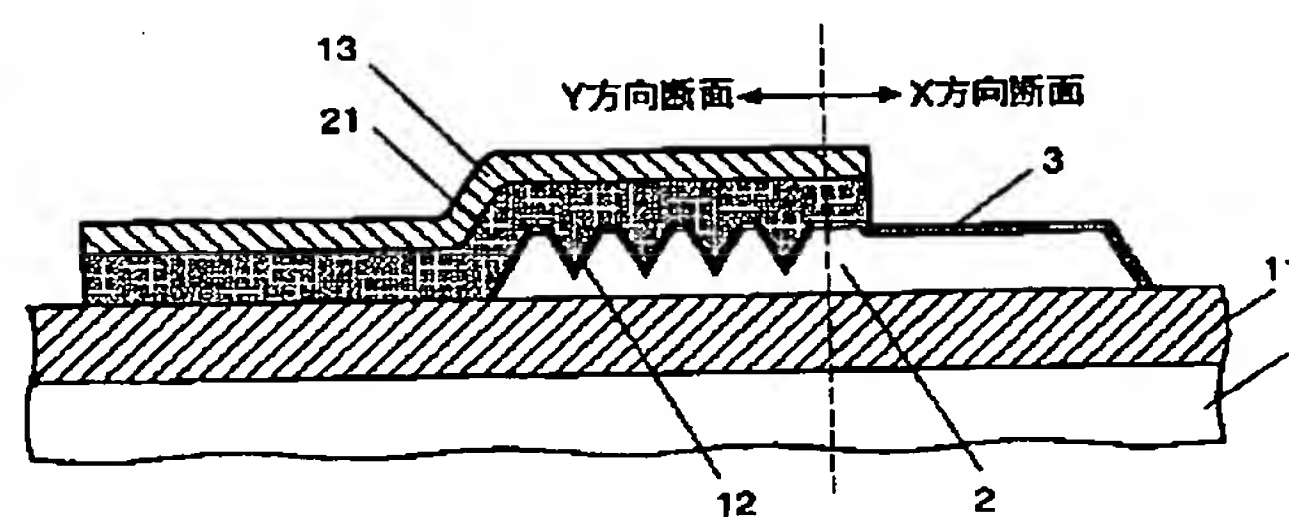
【図14】

図14



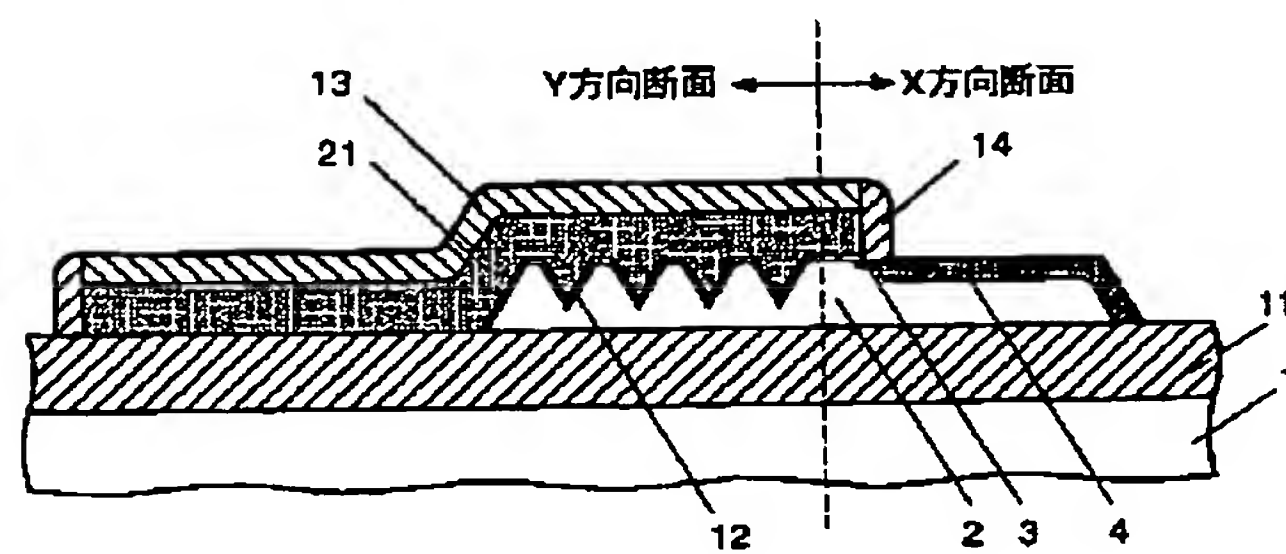
【図15】

図15



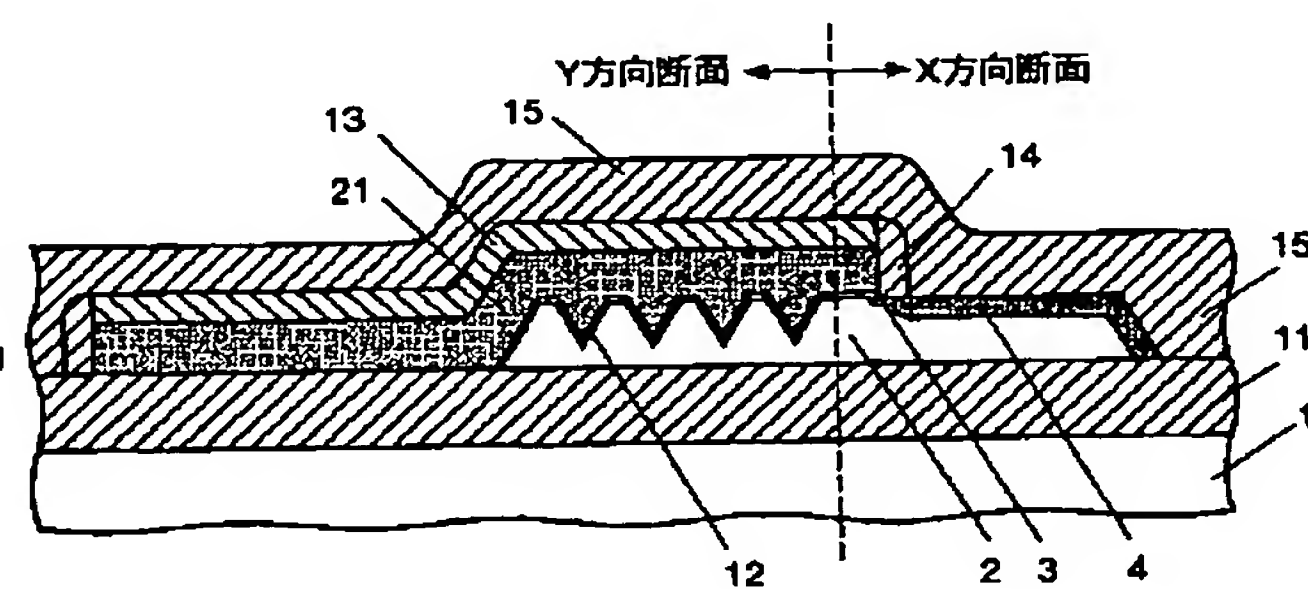
【図16】

図16



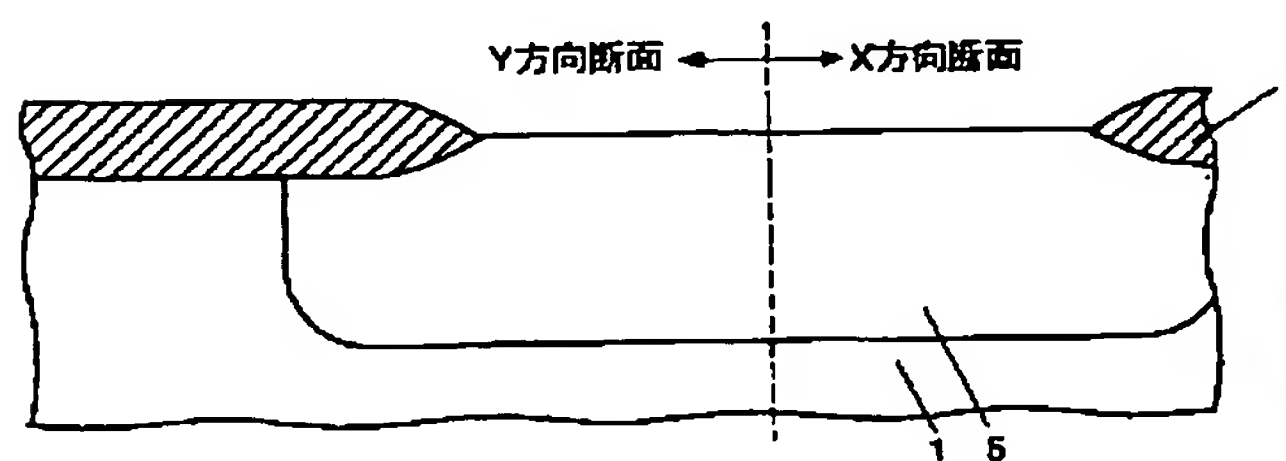
【図17】

図17



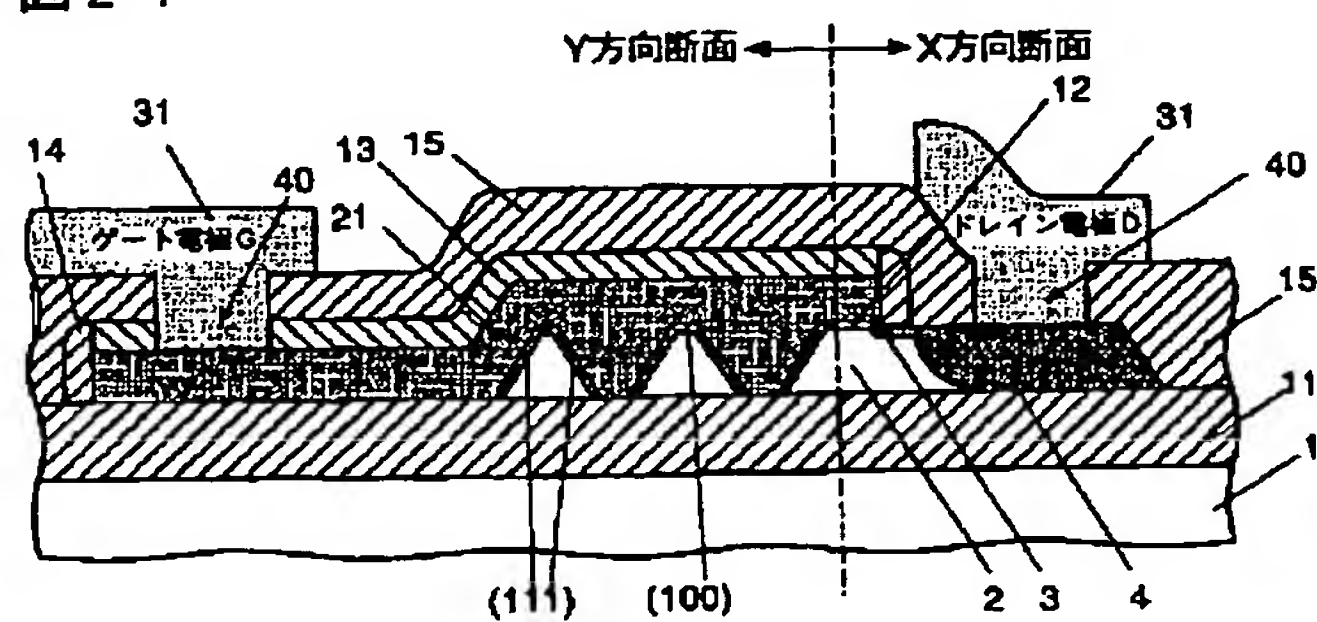
【図18】

図18



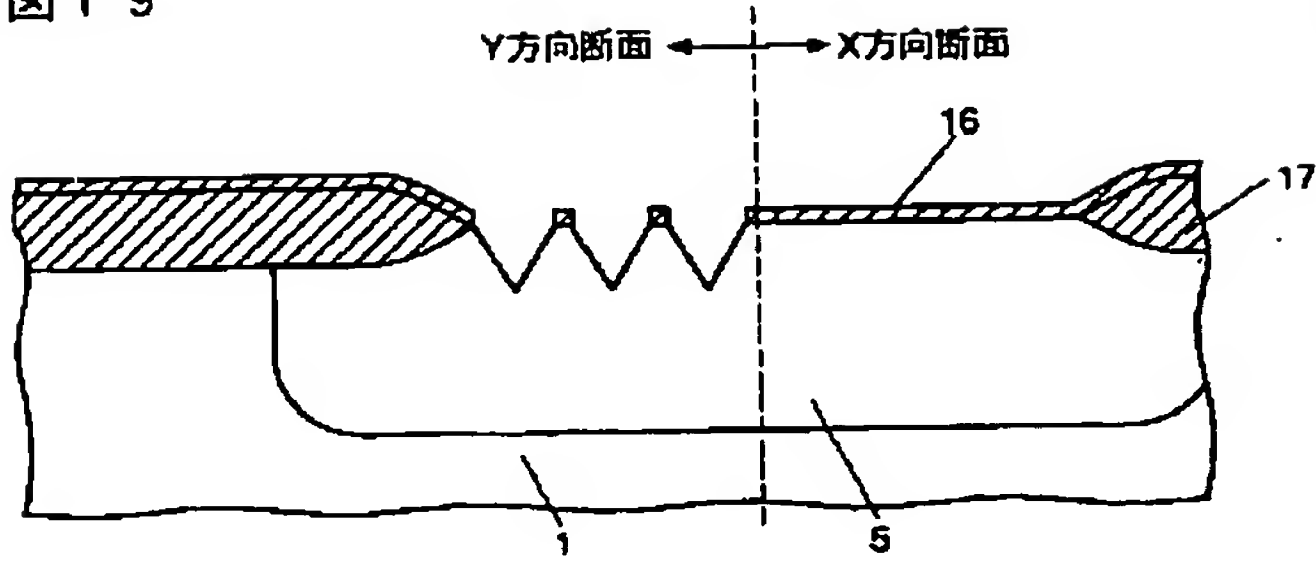
【図24】

図24



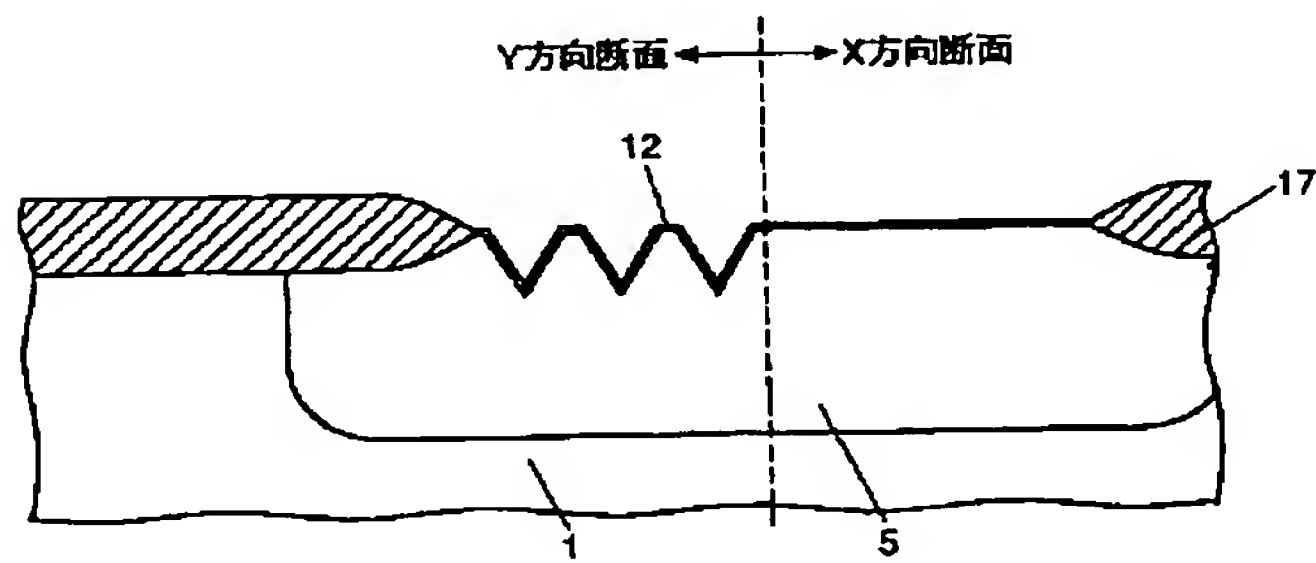
【図19】

図19



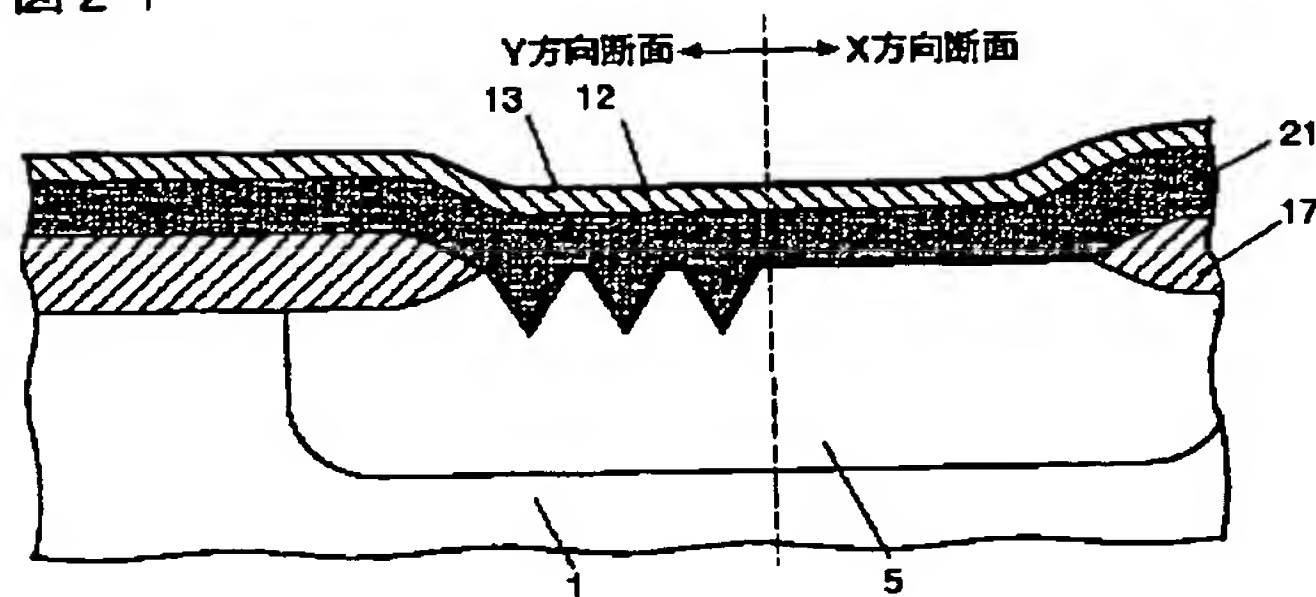
【図20】

図20



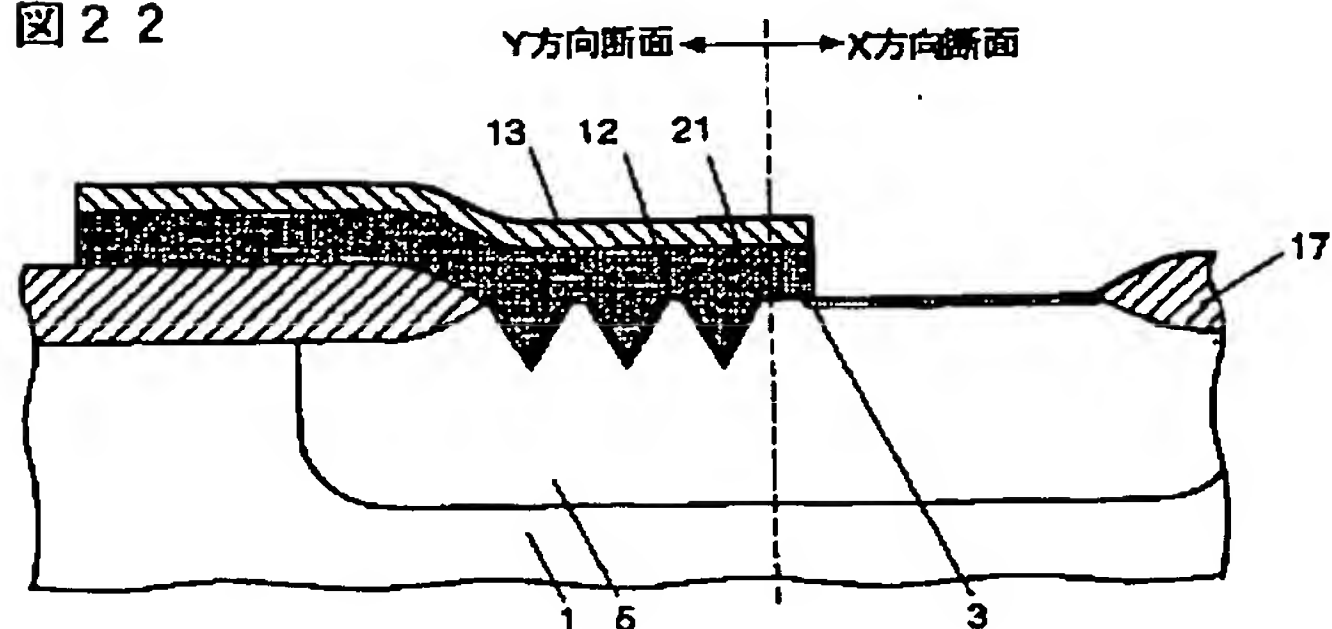
【図21】

図21



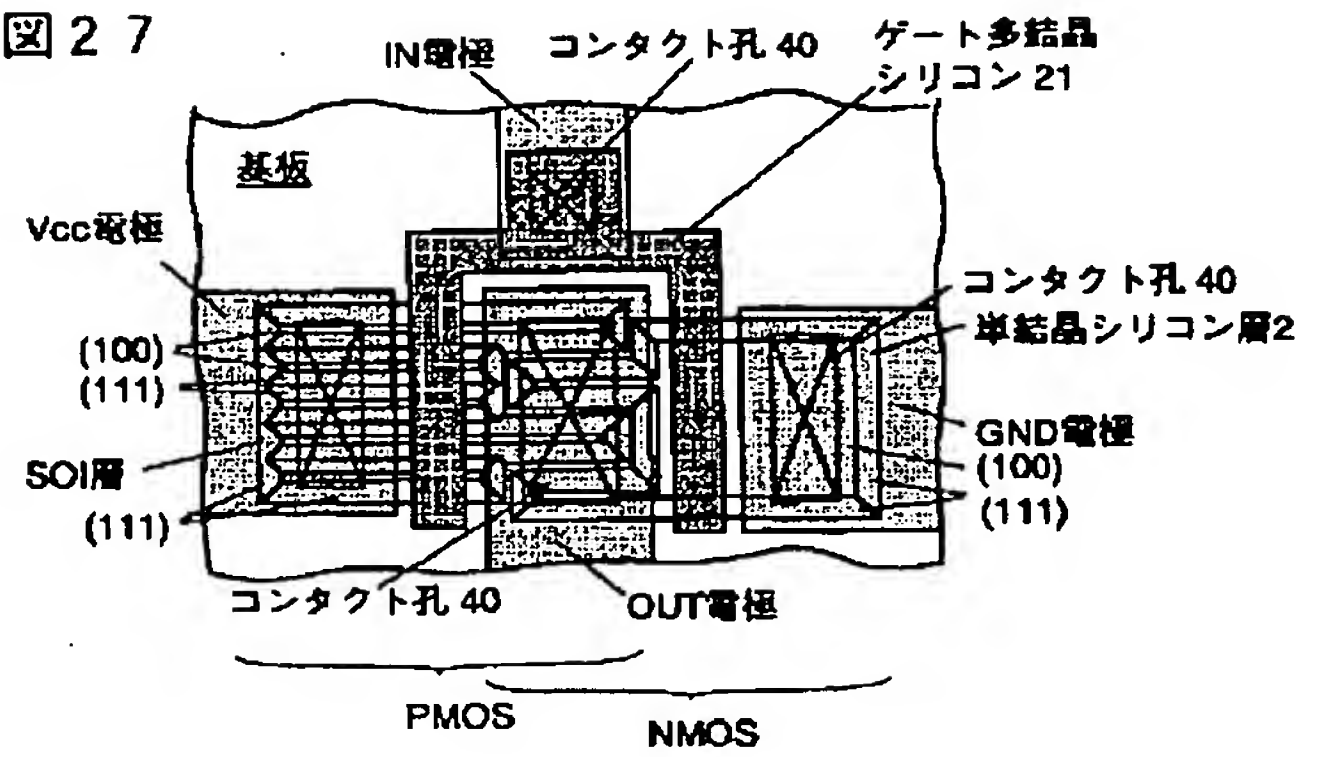
【図22】

図22

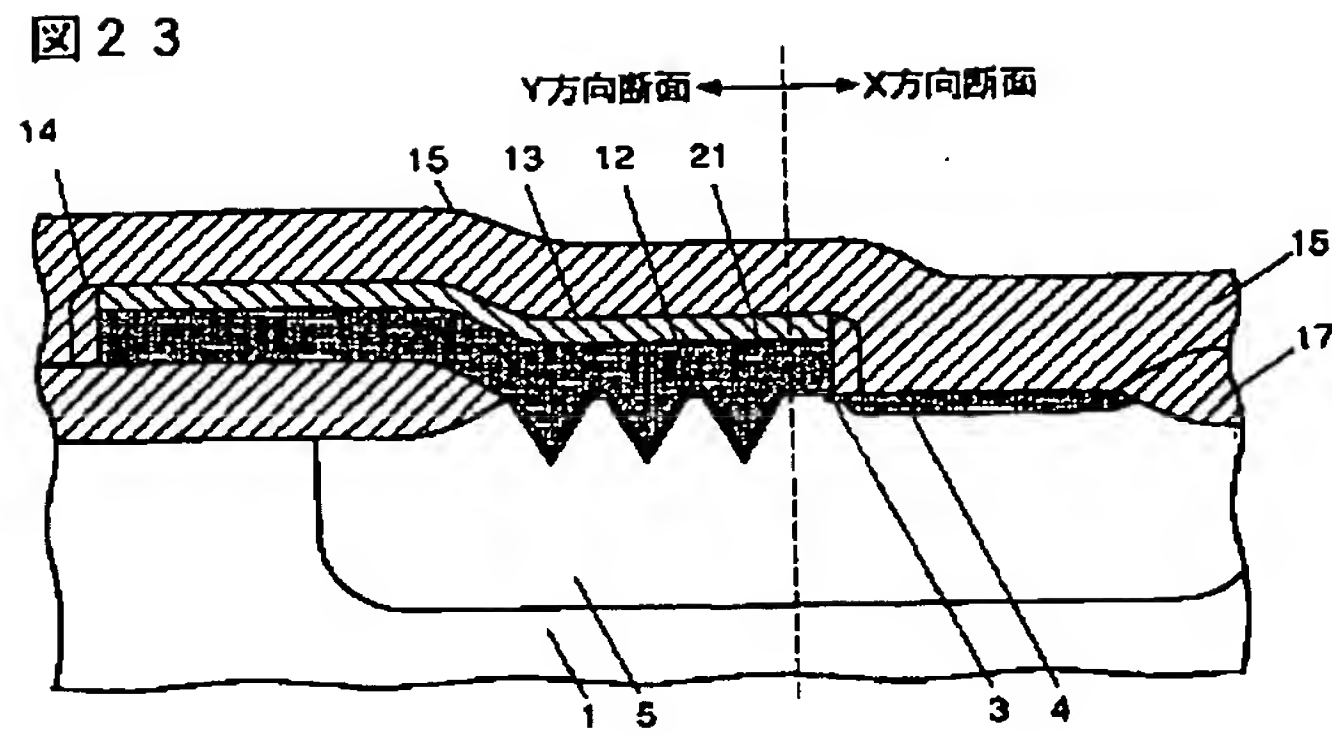


【図27】

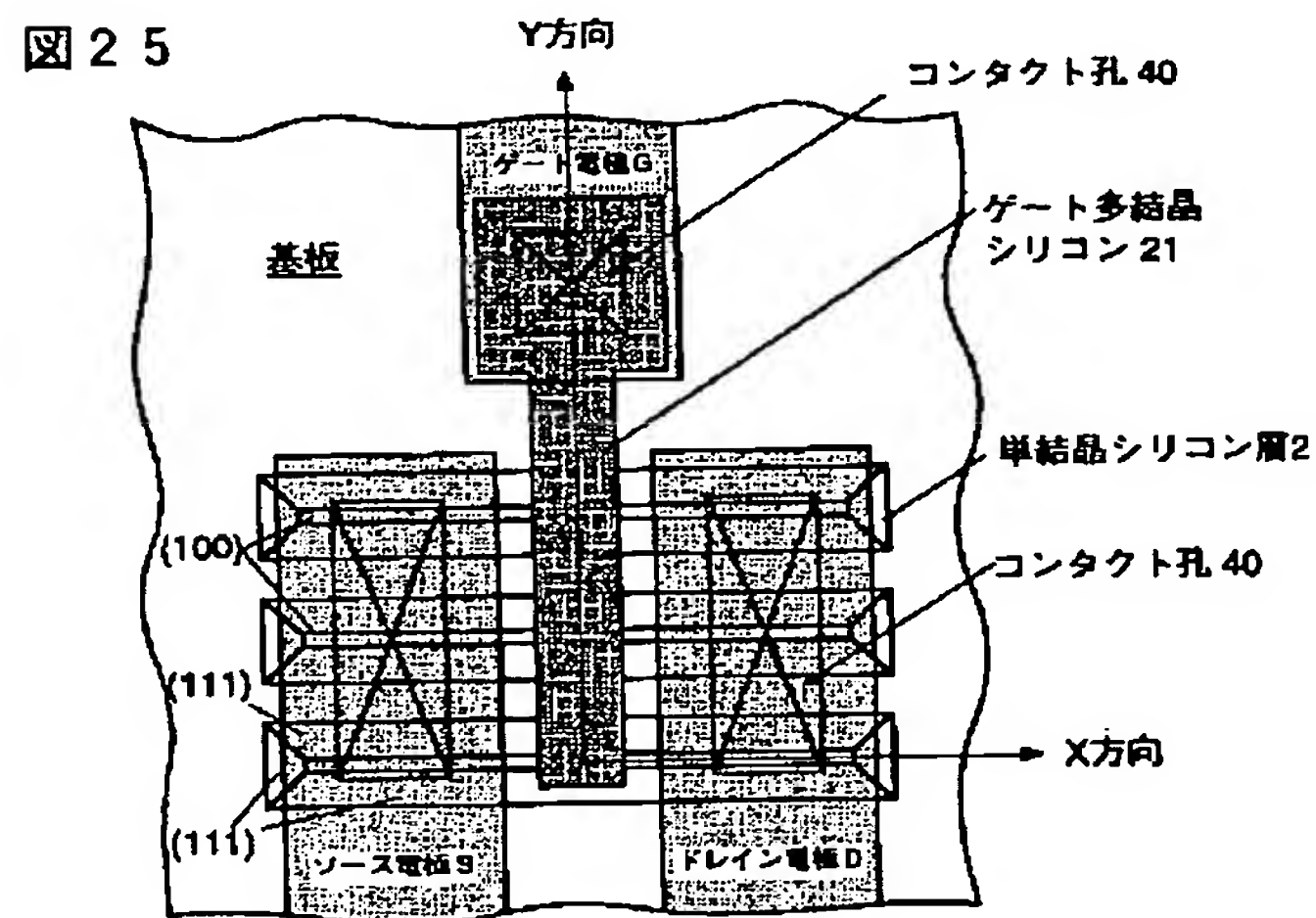
図27



【図23】



【図25】



フロントページの続き

(72)発明者 内野 俊
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 大西 和博
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 清田 幸弘
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 大畠 賢一
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.